

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-347634

(P2000-347634A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 8 8
G 0 2 F 1/13	5 0 5	G 0 2 F 1/13	2 H 0 9 3
	5 7 5		5 C 0 0 6
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 F 5 C 0 8 0
	6 4 1		6 4 1 S

審査請求 未請求 請求項の数14 O L (全 32 頁)

(21) 出願番号 特願2000-81306 (P2000-81306)

(22) 出願日 平成12年3月23日 (2000. 3. 23)

(31) 優先権主張番号 特願平11-84663

(32) 優先日 平成11年3月26日 (1999. 3. 26)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

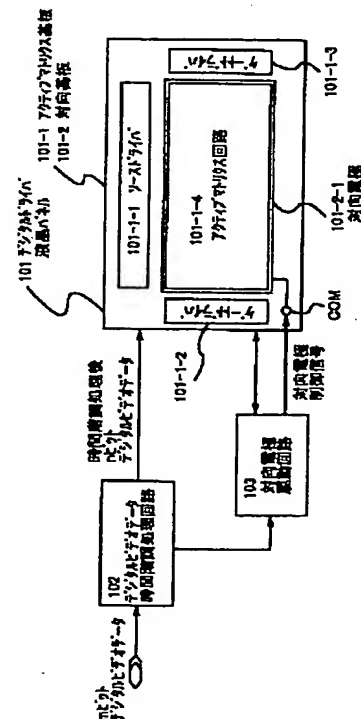
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 大画面化、高精細化、高解像度化および多階調化を実現できるアクティブマトリクス型液晶表示装置を提供すること。

【解決手段】 本発明によると、OCBモードで表示を行う液晶表示装置において、時間階調と電圧階調とを組み合わせる階調表示を行う。その際に、1フレームを時間階調のビット数に応じてサブフレームに分割し、サブフレームの表示を行う時に、液晶にイニシャライズ電圧を印加する。



## 【特許請求の範囲】

【請求項1】複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、を有する液晶表示装置であって、

OCBモードによって表示を行い、

外部から入力される $m$ ビットデジタルビデオデータのうち、 $n$ ビットを電圧階調の情報として、かつ $(m-n)$ ビットを時間階調の情報として $(m, n)$ は共に2以上の正数、かつ $m > n$ )を用いることによって、電圧階調と時間階調とを同時に行うことを特徴とする液晶表示装置。

【請求項2】複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、を有する液晶表示装置であって、

OCBモードによって表示を行い、

外部から入力される $m$ ビットデジタルビデオデータのうち、 $n$ ビットを電圧階調の情報として、かつ $(m-n)$ ビットを時間階調の情報として $(m, n)$ は共に2以上の正数、かつ $m > n$ )を用いることによって、電圧階調および時間階調を、それぞれ前、後、または相前後して行うことを特徴とする液晶表示装置。

【請求項3】複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、

外部から入力される $m$ ビットデジタルビデオデータを $n$ ビットデジタルビデオデータに変換し、前記ソースドライバに前記 $n$ ビットデジタルビデオデータを供給する回路と $(m, n)$ は共に2以上の正数、 $m > n$ )、を有する液晶表示装置であって、

電圧階調と時間階調とを同時に行い、 $2^{m-n}$ 個のサブフレームによって1フレームの映像を形成することによって表示を行い、

前記 $2^{m-n}$ 個のサブフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置。

【請求項4】複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、

外部から入力される $m$ ビットデジタルビデオデータを $n$ ビットデジタルビデオデータに変換し、前記ソースドライバに前記 $n$ ビットデジタルビデオデータを供給する回

路と $(m, n)$ は共に2以上の正数、 $m > n$ )、を有する液晶表示装置であって、

電圧階調と時間階調とを、それぞれ前、後、または相前後して行い、

前記 $2^{m-n}$ 個のサブフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置。

【請求項5】複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、

対向電極を有する対向基板と、

外部から入力される $m$ ビットデジタルビデオデータを $n$ ビットデジタルビデオデータに変換し、前記ソースドライバに前記 $n$ ビットデジタルビデオデータを供給する回路と $(m, n)$ は共に2以上の正数、 $m > n$ )、を有する液晶表示装置であって、

電圧階調と時間階調とを同時に行い、 $2^{m-n}$ 個のサブフレームによって1フレームの映像を形成することによって表示を行い、

前記 $2^{m-n}$ 個のサブフレームによって構成されるフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置。

【請求項6】複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、

対向電極を有する対向基板と、

外部から入力される $m$ ビットデジタルビデオデータを $n$ ビットデジタルビデオデータに変換し、前記ソースドライバに前記 $n$ ビットデジタルビデオデータを供給する回路と $(m, n)$ は共に2以上の正数、 $m > n$ )、を有する液晶表示装置であって、

電圧階調と時間階調とを、それぞれ前、後、または相前後して行い、

前記 $2^{m-n}$ 個のサブフレームによって構成されるフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置。

【請求項7】前記 $m$ は10、前記 $n$ は2であることを特徴とする請求項1乃至6のいずれかに記載の液晶表示装置。

【請求項8】前記 $m$ は12、前記 $n$ は4であることを特徴とする請求項1乃至6のいずれかに記載の液晶表示装置。

【請求項9】請求項1乃至8のいずれかに記載の液晶表示装置を3個有するリアプロジェクター。

【請求項10】請求項1乃至8のいずれかに記載の液晶表示装置を3個有するフロントプロジェクター。

【請求項11】請求項1乃至8のいずれかに記載の液晶表示装置を1個有する単板式リアプロジェクター。

【請求項12】請求項1乃至8のいずれかーに記載の液晶表示装置を2個有するゴーグル型ディスプレイ。

【請求項13】請求項1乃至8のいずれかーに記載の液晶表示装置を有する携帯情報端末。

【請求項14】請求項1乃至8のいずれかーに記載の液晶表示装置を有するノートブック型パーソナルコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】本発明は、液晶表示装置に関する。特に、電圧階調と時間階調との両方によって階調表示を行う液晶表示装置に関する。

【0003】

【従来の技術】

【0004】最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ(TFT)を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置の需要が高まってきたことによる。

【0005】アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十〜数百万個もの画素領域にそれぞれ画素TFTが配置され、各画素TFTに接続された画素電極に出入りする電荷を画素TFTのスイッチング機能により制御するものである。

【0006】近年、画像の高精細化、高解像度化とともに、望ましくはフルカラー表示が行える多階調表示が求められている。

【0007】また、アクティブマトリクス型液晶表示装置の中でも、表示装置の高精細化、高解像度化に伴い、高速駆動が可能なデジタル駆動方式のアクティブマトリクス型液晶表示装置が注目されてきている。

【0008】

【発明が解決しようとする課題】

【0009】デジタル駆動方式のアクティブマトリクス型液晶表示装置には、外部から入力されるデジタルビデオデータをアナログデータ(階調電圧)に変換するD/A変換回路(DAC)が必要である。D/A変換回路には、様々な種類のものが存在する。

【0010】デジタル駆動方式のアクティブマトリクス型液晶表示装置の多階調表示能力は、このD/A変換回路の能力、つまりD/A変換回路が何ビットのデジタルビデオデータをアナログデータに変換することができるかに依存している。例えば、一般的に、2ビットのデジタルビデオデータを処理するD/A変換回路を有する液晶表示装置であれば、 $2^2=4$ 階調表示を行うことができ、8ビットならば $2^8=256$ 階調表示を行うことができ、またnビットならば $2^n$ 階調表示を行うことができる。

【0011】しかし、D/A変換回路の能力を上げるた

めには、D/A変換回路の回路構成が複雑になり、かつレイアウト面積が大きくなる。最近では、D/A変換回路をアクティブマトリクス回路と同一基板上にポリシリコンTFTによって形成する液晶表示装置が報告されてきている。しかし、この場合、D/A変換回路の回路構成が複雑になると、D/A変換回路の歩留まりが低下し、液晶表示装置の歩留まりも低下してしまう。また、D/A変換回路のレイアウト面積が大きくなると、小型の液晶表示装置を実現することが困難になる。

【0012】また、アクティブマトリクス型液晶表示装置の大画面化、高精細化、高解像度化に伴い、1画素に画像データを書き込む時間が短くなり、従来よく用いられているネマチック液晶を用いたTNモード(ツイストネマチックモード)では、液晶分子の応答速度が問題となってきた。

【0013】上述のように、大画面化、高精細化、高解像度化および多階調化を実現できるアクティブマトリクス型液晶表示装置の実現が望まれている。

【0014】

【課題を解決するための手段】

【0015】そこで、本発明は上述の問題に鑑みてなされたものであり、大画面化、高精細化、高解像度化、多階調化を実現することのできる液晶表示装置を提供するものである。

【0016】まず、図1を参照する。図1には、本発明の液晶表示装置の概略構成図が示されている。101はデジタルドライバを有する液晶パネルである。液晶パネル101は、アクティブマトリクス基板101-1および対向基板101-2を有している。アクティブマトリクス基板101-1には、ソースドライバ101-1-1、ゲートドライバ101-1-2および101-1-3、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路101-1-4を有している。ソースドライバ101-1-1およびゲートドライバ101-1-2ならびに101-1-3は、アクティブマトリクス回路101-1-4を駆動する。また、対向基板101-2は、対向電極101-2-1を有している。なお、端子COMは、対向電極に信号を供給する端子を示している。

【0017】102はデジタルビデオデータ時間階調処理回路である。デジタルビデオデータ時間階調処理回路102は、外部から入力されるmビットデジタルビデオデータのうちnビットのデジタルビデオデータを、nビットの電圧階調の為にデジタルビデオデータに変換する。mビットのデジタルビデオデータのうち(m-n)ビットの階調情報は、時間階調によって表現される。

【0018】デジタルビデオデータ時間階調処理回路102によって変換されたnビットデジタルビデオデータは、液晶パネル101に入力される。液晶パネル101に入力されたnビットデジタルビデオデータは、ソース

ドライバ101-1-1に入力され、ソースドライバ内のD/A変換回路でアナログ階調データに変換され、各ソース信号線に供給され、画素TF Tに供給される。

【0019】103は、対向電極駆動回路であり、対向電極の電位を制御する対向電極制御信号を液晶パネル101の対向電極101-2-1に供給する。

【0020】なお、本明細書においては、液晶表示装置と液晶パネルとを使い分けている。本明細書では、少なくともアクティブマトリクス回路を有するものを液晶パネルと呼ぶことにする。

【0021】ここで、本発明の液晶表示装置の液晶パネルの概略構成図について説明する、図2および図3を参照する。図2および図3には、液晶パネル101を構成するアクティブマトリクス基板101-1、対向基板、および液晶101-3が示されている。本発明に用いられる液晶パネルは、いわゆる $\pi$ セル構造を有しており、OCB (Optically Compensated Bend) モードという表示モードを用いている。 $\pi$ セル構造とは、液晶分子のプレチルト角がアクティブマトリクス基板と対向基板との基板間の中心面に対して面対称の関係で配向された構造である。 $\pi$ セル構造の配向状態は、基板間に電圧が印加されていない時はスプレイ配向となり、電圧を印加すると図2に示すようなベンド配向に移行する。さらに電圧を印加するとベンド配向の液晶分子が両基板が基板と垂直に配向し、光が透過する状態となる。

【0022】図2に示すように、本発明の液晶表示装置は、液晶がベンド配向した液晶パネルと2軸性位相差板111と透過軸が互いに直行した一対の偏光板とを有している。OCBモードによる表示においては、リクレーションの視角依存性を、2軸性位相差板によって3次元的に補償している。

【0023】なお、上述の様に、液晶に電圧を印加しない時には、図3に示すようなスプレイ配向をしている。

【0024】なお、OCBモードによると、従来のTNモードより約10倍速い高速応答性を現できる。

【0025】次に、本発明の液晶表示装置の別の例を図30に示す。301はアナログドライバを有する液晶パネルである。液晶表示装置301は、アクティブマトリクス基板301-1および対向基板301-2を有している。アクティブマトリクス基板301-1には、ソースドライバ301-1-1、ゲートドライバ301-1-2および301-1-3、複数の画素TF Tがマトリクス状に配置されたアクティブマトリクス回路301-1-4を有している。ソースドライバ301-1-1およびゲートドライバ301-1-2ならびに301-1-3は、アクティブマトリクス回路301-1-4を駆動する。また、対向基板301-2は、対向電極301-2-1を有している。なお、端子COMは、対向電極に信号を供給する端子を示している。

【0026】302はA/D変換回路であり、外部から供給されるアナログビデオデータをmビットデジタルビデオデータに変換する。303はデジタルビデオデータ時間階調処理回路である。デジタルビデオデータ時間階調処理回路303は、入力されるmビットデジタルビデオデータのうちnビットのデジタルビデオデータを、nビットの電圧階調の為にデジタルビデオデータに変換する。入力されるmビットのデジタルビデオデータのうちの(m-n)ビットの階調情報は、時間階調によって表現される。デジタルビデオデータ時間階調処理回路303によって変換されたnビットデジタルビデオデータは、D/A変換回路304に入力され、アナログビデオデータに変換される。D/A変換回路304によって変換されたアナログビデオデータは、液晶表示装置301に入力される。液晶表示装置301に入力されたアナログビデオデータは、ソースドライバに入力され、ソースドライバ内のサンプリング回路によってサンプリングされ、各ソース信号線に供給され、画素TF Tに供給される。

【0027】305は、対向電極駆動回路であり、対向電極の電位を制御する対向電極制御信号を液晶パネル301の対向電極301-2-1に供給する。

【0028】本発明の液晶表示装置の動作は、下記の実施形態において、詳しく説明する。

【0029】以下に本発明の構成を述べる。

【0030】本発明の液晶表示装置によると、複数の画素TF Tがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、を有する液晶表示装置であって、OCBモードによって表示を行い、外部から入力されるmビットデジタルビデオデータのうち、nビットを電圧階調の情報として、かつ(m-n)ビットを時間階調の情報として(m、nは共に2以上の正数、かつ $m > n$ )用いることによって、電圧階調と時間階調とを同時に行うことを特徴とする液晶表示装置が提供される。

【0031】また、本発明の液晶表示装置によると、複数の画素TF Tがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、を有する液晶表示装置であって、OCBモードによって表示を行い、外部から入力されるmビットデジタルビデオデータのうち、nビットを電圧階調の情報として、かつ(m-n)ビットを時間階調の情報として(m、nは共に2以上の正数、かつ $m > n$ )用いることによって、電圧階調および時間階調を、それぞれ前、後、または相前後して行うことを特徴とする液晶表示装置が提供される。

【0032】また、本発明の液晶表示装置によると、

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、外部から入力される $m$ ビットデジタルビデオデータを $n$ ビットデジタルビデオデータに変換し、前記ソースドライバに前記 $n$ ビットデジタルビデオデータを供給する回路と（ $m, n$ は共に2以上の正数、 $m > n$ ）、を有する液晶表示装置であって、電圧階調と時間階調とを同時に行い、 $2^{m-n}$ 個のサブフレームによって1フレームの映像を形成することによって表示を行い、前記 $2^{m-n}$ 個のサブフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置が提供される。

【0033】また、本発明の液晶表示装置によると、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、外部から入力される $m$ ビットデジタルビデオデータを $n$ ビットデジタルビデオデータに変換し、前記ソースドライバに前記 $n$ ビットデジタルビデオデータを供給する回路と（ $m, n$ は共に2以上の正数、 $m > n$ ）、を有する液晶表示装置であって、電圧階調と時間階調とを、それぞれ前、後、または相前後して行い、前記 $2^{m-n}$ 個のサブフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置が提供される。

【0034】また、本発明の液晶表示装置によると、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、外部から入力される $m$ ビットデジタルビデオデータを $n$ ビットデジタルビデオデータに変換し、前記ソースドライバに前記 $n$ ビットデジタルビデオデータを供給する回路と（ $m, n$ は共に2以上の正数、 $m > n$ ）、を有する液晶表示装置であって、電圧階調と時間階調とを同時に行い、 $2^{m-n}$ 個のサブフレームによって1フレームの映像を形成することによって表示を行い、前記 $2^{m-n}$ 個のサブフレームによって構成されるフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置が提供される。

【0035】また、本発明の液晶表示装置によると、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路および前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバを有するアクティブマトリクス基板と、対向電極を有する対向基板と、外部から入力される $m$ ビットデジタルビデオデー

タを $n$ ビットデジタルビデオデータに変換し、前記ソースドライバに前記 $n$ ビットデジタルビデオデータを供給する回路と（ $m, n$ は共に2以上の正数、 $m > n$ ）、を有する液晶表示装置であって、電圧階調と時間階調とを、それぞれ前、後、または相前後して行い、前記 $2^{m-n}$ 個のサブフレームによって構成されるフレームの表示の開始時に液晶分子の配向をベンド配向にするための電圧を印加することを特徴とする液晶表示装置が提供される。

【0036】前記 $m$ は10、前記 $n$ は2であるようにしてもよい。

【0037】前記 $m$ は12、前記 $n$ は4であるようにしてもよい。

【0038】

【発明の実施の形態】

【0039】以下に本発明の液晶表示装置を実施形態をもって詳しく説明する。ただし、本発明の液晶表示装置は、以下の実施形態に限定されるわけではない。

【0040】（実施形態1）

【0041】本実施形態の液晶表示装置の概略構成図を図4に示す。本実施形態においては、説明の簡略のため、外部から4ビットデジタルビデオデータが供給される液晶表示装置を例にとる。

【0042】図4には、本発明の液晶表示装置の概略構成図が示されている。401はデジタルドライバを有する液晶パネルである。液晶パネル401は、アクティブマトリクス基板401-1および対向基板401-2を有している。アクティブマトリクス基板401-1には、ソースドライバ401-1-1、ゲートドライバ401-1-2および401-1-3、複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路401-1-4を有している。ソースドライバ401-1-1およびゲートドライバ401-1-2ならびに401-1-3は、アクティブマトリクス回路401-1-4を駆動する。また、対向基板401-2は、対向電極401-2-1を有している。なお、端子COMは、対向電極に信号を供給する端子を示している。

【0043】なお、本実施形態の液晶パネルは、上述した様なOCBモードを表示モードとして用いている。

【0044】402はデジタルビデオデータ時間階調処理回路である。デジタルビデオデータ時間階調処理回路402は、外部から入力される4ビットデジタルビデオデータのうち2ビットのデジタルビデオデータを、電圧階調のための2ビットデジタルビデオデータに変換する。4ビットのデジタルビデオデータのうち残り2ビットの階調情報は、時間階調によって表現される。

【0045】デジタルビデオデータ時間階調処理回路402によって変換された後の2ビットデジタルビデオデータは、液晶パネル401に入力される。液晶パネル401に入力された2ビットデジタルビデオデータは、ソ

ースドライバに入力され、ソースドライバ内のD/A変換回路(図示せず)でアナログ階調データに変換され、各ソース信号線に供給される。

【0046】また、403は対向電極駆動回路であり、対向電極の電位を制御する対向電極制御信号を液晶パネル401の対向電極401-2-1に供給する。

【0047】ここで、本実施形態の液晶表示装置の液晶パネル401の回路回路構成、特にアクティブマトリクス回路401-1-4について、図5を用いて説明する。

【0048】本実施形態においては、アクティブマトリクス回路401-1-4は、 $(x \times y)$ 個の画素を有している。それぞれの画素には、説明の便宜上、P1,1、P2,1、 $\dots$ 、Py,x等の符号が付けられている。また、それぞれの画素は、画素TFT501、保持容量502を有している。また、アクティブマトリクス基板と対向基板との間には、液晶が挟まれている。液晶502は、各画素に対応する液晶を模式的に示したものである。

【0049】本実施形態のデジタルドライバ液晶パネルは、1ライン分の画素(例えば、P1,1、P1,2、 $\dots$ 、P1,x)を同時に駆動する、いわゆる線順次駆動を行う。言い換えると、1ライン分の画素に同時にアナログ階調電圧を書き込む。全ての画素(P1,1~Py,x)にアナログ階調電圧を書き込むのに要する時間を1フレーム期間(Tf)と呼ぶことにする。また、本実施形態では、1フレーム期間(Tf)を4分割した期間をサブフレーム期間(Tsf)と呼ぶことにする。さらに、1ライン分の画素(例えば、P1,1、P1,2、 $\dots$ 、P1,x)にアナログ階調電圧を書き込むのに要する時間を1サブフレームライン期間(Tsfl)と呼ぶことにする。

【0050】対向電極401-2-1には、対向電極制御回路からの対向電極制御信号が供給される。なお、対向電極が電氣的に接続された端子COMに対向電極制御信号が供給されるようになっている。

【0051】次に、本実施形態の液晶表示装置の階調表示について説明する。本実施形態の液晶表示装置に外部から供給されるデジタルビデオデータは4ビットであり、16階調の情報を有している。ここで、図6を参照

する。図6には、本実施形態の液晶表示装置の表示階調レベルが示されている。電圧レベルVLはD/A変換回路に入力される最低の電圧レベルであり、また、電圧レベルVHはD/A変換回路に入力される最高の電圧レベルである。

【0052】本実施形態においては、2ビット、つまり4階調の電圧レベルを実現するために、電圧レベルVHと電圧レベルVLとの間をほぼ等電圧レベルに4分割し、その電圧レベルのステップを $\alpha$ とした。なお、 $\alpha = (VH - VL) / 4$ である。よって、本実施形態のD/A変換回路が出力する電圧階調レベルは、デジタルビデオデータのアドレスが(00)の時はVLとなり、デジタルビデオデータのアドレスが(01)の時はVL+ $\alpha$ となり、デジタルビデオデータのアドレスが(10)の時はVL+2 $\alpha$ となり、デジタルビデオデータのアドレスが(11)の時はVL+3 $\alpha$ となる。

【0053】本実施形態のD/A変換回路が出力できる電圧階調レベルは、上述の様にVL、(VL+ $\alpha$ )、(VL+2 $\alpha$ )、および(VL+3 $\alpha$ )の4通りである。そこで、本発明においては、時間階調表示を組み合わせることによって、液晶表示装置の表示階調レベルの数を上げることができる。

【0054】本実施形態においては、4ビットデジタルビデオデータのうちの2ビット分の情報を時間階調表示に用いることによって、電圧レベルのステップ $\alpha$ をほぼ4等分した電圧階調レベルに相当する表示階調レベルを実現することができる。つまり、本実施例の液晶表示装置は、VL、VL+ $\alpha/4$ 、VL+2 $\alpha/4$ 、VL+3 $\alpha/4$ 、VL+ $\alpha$ 、VL+5 $\alpha/4$ 、VL+6 $\alpha/4$ 、VL+7 $\alpha/4$ 、VL+2 $\alpha$ 、VL+9 $\alpha/4$ 、VL+10 $\alpha/4$ 、VL+11 $\alpha/4$ 、VL+3 $\alpha$ の電圧階調レベルに相当する表示階調レベルを実現することができる。

【0055】ここで、外部から入力される4ビットデジタルビデオデータアドレスと、時間階調処理後デジタルビデオデータアドレスおよびそれに対応する電圧階調レベルと、時間階調を組み合わせた表示階調レベルとの対応を下記の表1に示す。

【0056】

【表1】

デジタルビデオ データアドレス		時間階調処理後 デジタルビデオデータアドレス (階調電圧) レベル				時間階調を 組み合わせた 階調表示レベル
		1st Tsfl	2nd Tsfl	3rd Tsfl	4th Tsfl	
00	00	00 (VL)	00 (VL)	00 (VL)	00 (VL)	VL
	01	00 (VL)	00 (VL)	00 (VL)	01 (VL+ $\alpha$ )	VL+ $\alpha$ /4
	10	00 (VL)	00 (VL)	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	VL+2 $\alpha$ /4
	11	00 (VL)	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	VL+3 $\alpha$ /4
01	00	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	VL+ $\alpha$
	01	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	10 (VL+2 $\alpha$ )	VL+5 $\alpha$ /4
	10	01 (VL+ $\alpha$ )	01 (VL+ $\alpha$ )	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	VL+6 $\alpha$ /4
	11	01 (VL+ $\alpha$ )	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	VL+7 $\alpha$ /4
10	00	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	VL+2 $\alpha$
	01	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	11 (VL+3 $\alpha$ )	VL+9 $\alpha$ /4
	10	10 (VL+2 $\alpha$ )	10 (VL+2 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	VL+10 $\alpha$ /4
	11	10 (VL+2 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	VL+11 $\alpha$ /4
11	00	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	VL+3 $\alpha$
	01	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	VL+3 $\alpha$
	10	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	VL+3 $\alpha$
	11	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	11 (VL+3 $\alpha$ )	VL+3 $\alpha$

【0057】なお、表1に示すように、本実施例においては、4ビットデジタルビデオデータのアドレスが(1100)～(1111)までは同じ階調電圧レベル(VL+3 $\alpha$ )が出力される。

【0058】なお、表1に示す階調電圧レベルは、液晶に実際に印加される電圧であるとしてもよい。つまり、表1に示す階調電圧レベルは、後述の対向電極に印加されるV<sub>COM</sub>を考慮にいれた電圧レベルであるとしてもよい。

【0059】本発明の液晶表示装置は、1フレーム期間T<sub>f</sub>を4つのサブフレーム期間(1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl)に分割して表示を行っている。さらに、本実施形態の液晶表示装置は、線順次駆動を行うので、1フレーム期間において、各画素は1サブフレームライン期間(Tsfl)の間、階調電圧が書き込まれる。よって、各サブフレーム期間(1st Tsfl、2nd

Tsfl、3rd Tsfl、および4th Tsfl)に対応する各サブフレームライン期間(1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl)に、時間階調処理後の2ビットデジタルビデオデータのアドレスがD/A変換回路に入力され、D/A変換回路から階調電圧が出力される。4つのサブフレームライン期間(1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl)に書き込まれる階調電圧によって4回のサブフレームの表示が高速に行われ、結果として1フレームの表示階調は、各サブフレームライン期間の階調電圧レベルの総和を時間平均したものになる。このようにして、電圧階調と時間階調とを同時に行う。

【0060】なお、本実施形態の液晶表示装置においては、各サブフレーム期間において、サブフレームライン期間が始まる前に、イニシャライズ期間(T<sub>i</sub>)を設けている。このイニシャライズ期間(T<sub>i</sub>)において、全



ての画素に、ある電圧  $V_i$  (画素電極イニシャライズ電圧) を印加し、かつ対向電極にある電圧  $V_{COMi}$  (対向電極イニシャライズ電圧) を印加することによって、スプレイ配向にある液晶をベンド配向に移行させる。

【0061】よって、本実施形態の液晶表示装置においては、2ビットデジタルビデオデータを扱うD/A変換回路を用いる場合でも、 $2^4 - 3 = 13$  階調の階調レベルの表示を行うことができる。

【0062】なお、各サブフレームライン期間 (1st Tsfl、2nd Tsfl、3rd Tsfl、および4th) に書き込まれるデジタルビデオデータのアドレス (または階調電圧レベル) は、表1以外の組合わせによっても設定され得る。例えば、表1においては、デジタルビデオデータアドレスが (0010) の時には、第3サブフレームライン期間 (3rd Tsfl) および第4サブフレームライン期間 (4th Tsfl) に、 $(V_L + \alpha)$  の階調電圧が書き込まれるように示されているが、本発明を実現するためには、この組合わせに限定されるわけではない。つまり、デジタルビデオデータアドレスが (0010) の時には、第1サブフレームライン期間～第4サブフレームライン期間の4個のサブフレーム期間のうち、計2個のサブフレーム期間に  $(V_L + \alpha)$  の階調電圧が書き込まれるようにすればよく、どのサブフレーム期間に  $(V_L + \alpha)$  の階調電圧が書き込まれるようにするかは自由に設定できる。

【0063】ここで、図7および図8を参照する。図7および図8には、本実施形態の液晶表示装置の駆動タイミングチャートが示されている。図7および図8には、画素P1.1、画素P2.1、画素P3.1、および画素Py.1が例にとって示されている。なお、図面の都合上、図7および図8の2図を用いて説明している。

【0064】前述の様に、1フレーム期間 (Ti) は、第1サブフレーム期間 (1st Tsfl)、第2サブフレーム期間 (2nd Tsfl)、第3サブフレーム期間 (3rd Tsfl)、および第4サブフレーム期間 (4th Tsfl) によって構成される。各サブフレーム期間の始まりには、イニシャライズ期間 (Ti) があり、このイニシャライズ期間 (Ti) には、全ての画素に、画素電極イニシャライズ電圧 ( $V_i$ ) が印加される。また、イニシャライズ期間 (Ti) には、対向電極 (COM) には、対向電極イニシャライズ電圧 ( $V_{COMi}$ ) が印加される。

【0065】よって、本実施形態においては、イニシャライズ期間 (Ti) においては、画素電極と対向電極とに挟まれた液晶には  $(V_i + V_{COMi})$  の電圧が印加されることになり、スプレイ配向していた液晶分子がベンド配向し、その後の画像情報を有するアナログ階調電圧の印加によっても高速応答が可能な状態になる。

【0066】第1サブフレーム期間において、イニシャライズ期間 (Ti) 経過後、画素P1.1には、第1サブフレームライン期間 (1st Tsfl) にデジタルビデオデー

タがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。なお、イニシャライズ期間 (Ti) 経過後は、対向電極には  $V_{COM}$  が印加される。なお  $V_{COM}$  は、表示画面のチラツキ具合をみて調整できるようになっている。また、 $V_{COM}$  は0Vであってもよい。

【0067】なお、 $V_i$ 、 $V_{COMi}$ 、および  $V_{COM}$  は、用いる液晶や表示具合等に応じて最適な値を設定することが望ましい。

【0068】画素P1.1～画素P1.xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれた後、次のサブフレームライン期間には、画素P2.1～画素P2.xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。

【0069】このようにして、全ての画素に画像情報を有するアナログ階調電圧が順に書き込まれる。よって第1サブフレーム期間が終了する。

【0070】そして、第1サブフレーム期間の経過後、第2サブフレーム期間が始まる。第2サブフレーム期間 (2nd Tsfl) においても、イニシャライズ期間 (Ti) には、対向電極 (COM) には、対向電極イニシャライズ電圧 ( $V_{COMi}$ ) が供給される。第2サブフレーム期間においてもイニシャライズ期間 (Ti) 経過後、画素P1.1～画素P1.xには、第2サブフレームライン期間 (2nd Tsfl) にデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。画素P1.1～画素P1.xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれた後、次のサブフレームライン期間には、画素P2.1～画素P2.xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。なお、イニシャライズ期間 (Ti) 経過後は、対向電極には  $V_{COM}$  が印加される。

【0071】このようにして、全ての画素に画像情報を有するアナログ階調電圧が順に書き込まれる。よって第2サブフレーム期間が終了する。

【0072】第3サブフレーム期間 (3rd Tsfl) および第4サブフレーム期間 (4th Tsfl) においても同様の動作が行われる。

【0073】このようにして、第1サブフレーム期間から第4サブフレーム期間迄が終了する。

【0074】第1のフレーム期間終了後、第2のフレーム期間が始まる (図8)。本実施形態では、フレーム期間ごとに液晶に印加される電界の向きが逆となるフレーム反転を行う。よって、第2のフレーム期間においては、画素電極供給される画素電極イニシャライズ電圧 ( $V_i$ ) および階調電圧は、対向電極を基準電位とした時に、第1のフレーム期間と逆極性の電圧が印加されることになる。

【0075】ここで、図9を参照する。図9は、ある画



案（例えば、画素P1.1）の画素電極にサブフレーム期間ごとに書き込まれる階調電圧レベルと、フレーム期間における階調表示レベルとの関係を示した例である。

【0076】始めに1フレーム期間目に着目する。まず、イニシャライズ期間（Ti）においては、画素電極にイニシャライズ電圧（Vi）が印加され、スプレイ配向にある液晶がベンド配向に移行する。イニシャライズ期間（Ti）終了後、第1のサブフレームライン期間（1st Tsfl）には（VL+ $\alpha$ ）の階調電圧が書き込まれ、第1のサブフレーム期間（1st Tsf）には階調電圧（VL+ $\alpha$ ）に対応した階調表示が行われる。第2サブフレームライン期間（2nd Tsfl）には（VL+2 $\alpha$ ）の階調電圧が書き込まれ、第2のサブフレーム期間（2nd Tsf）には階調電圧（VL+ $\alpha$ ）に対応した階調表示が行われる。第3のサブフレームライン期間（3rd Tsfl）には（VL+2 $\alpha$ ）の階調電圧が書き込まれ、第3のサブフレーム期間（3rd Tsf）には階調電圧（VL+2 $\alpha$ ）に対応した階調表示が行われる。第4のサブフレームライン期間（4th Tsfl）には（VL+2 $\alpha$ ）の階調電圧が書き込まれ、第4のサブフレーム期間（4th Tsf）には階調電圧（VL+2 $\alpha$ ）に対応した階調表示が行われる。よって、1フレーム目の階調表示レベルは、（VL+7 $\alpha$ /4）の階調電圧レベルに対応した階調表示となる。

【0077】次に2フレーム期間目に着目する。まず、イニシャライズ期間（Ti）においては、画素電極にイニシャライズ電圧（Vi）が印加され、スプレイ配向にある液晶がベンド配向に移行する。イニシャライズ期間（Ti）終了後、第1のサブフレームライン期間（1st Tsfl）には（VL+2 $\alpha$ ）の階調電圧が書き込まれ、第1のサブフレーム期間（1st Tsf）には階調電圧（VL+2 $\alpha$ ）に対応した階調表示が行われる。第2サブフレームライン期間（2nd Tsfl）には（VL+2 $\alpha$ ）の階調電圧が書き込まれ、第2のサブフレーム期間（2nd Tsf）には階調電圧（VL+2 $\alpha$ ）に対応した階調表示が行われる。第3のサブフレームライン期間（3rd Tsfl）には（VL+3 $\alpha$ ）の階調電圧が書き込まれ、第3のサブフレーム期間（3rd Tsf）には階調電圧（VL+3 $\alpha$ ）に対応した階調表示が行われる。第4のサブフレームライン期間（4th Tsfl）には（VL+3 $\alpha$ ）の階調電圧が書き込まれ、第4のサブフレーム期間（4th Tsf）には階調電圧（VL+3 $\alpha$ ）に対応した階調表示が行われる。よって、1フレーム目の階調表示レベルは、（VL+10 $\alpha$ /4）の階調電圧レベルに対応した階調表示となる。

【0078】なお、本実施形態においては、4階調の電圧レベルを実現するために、電圧レベルVHと電圧レベルVLとの間をほぼ等電圧レベルに分割し、その電圧レベルのステップを $\alpha$ としたが、電圧レベルVHと電圧レベルVLとの間を等電圧レベルに分割せず任意に設定した場合でも、本発明の効果はある。

【0079】また、本実施形態においては、液晶パネルのD/A変換回路に電圧レベルVHと電圧レベルVLとを入力し階調電圧レベルを実現できるようにしたが、3以上の電圧レベルの入力によって階調電圧レベルを実現するようにすることもできる。

【0080】また、本実施例においては、各サブフレームライン期間に書き込まれる階調電圧レベルを表1のように設定したが、既述したように、表1に限定されるわけではない。

【0081】また、本実施例においては、外部から入力される4ビットデジタルビデオデータのうち2ビットのデジタルビデオデータを、2ビットの電圧階調の為にデジタルビデオデータに変換し、4ビットのデジタルビデオデータのうち2ビットの階調情報は、時間階調によって表現されるようにした。ここで、一般に、外部からmビットのデジタルビデオデータが時間階調処理回路によって、nビットデジタルビデオデータが、階調電圧の為にデジタルビデオデータに変換され、（m-n）ビットの階調情報は、時間階調によって表現される場合を考える。なお、m、nは共に2以上の整数であり、m>nとする。

【0082】この場合、フレーム期間（Tf）とサブフレーム期間（Tsf）との関係は、

$$Tf = 2^{m-n} \cdot Tsf$$

となり、（ $2^m - (2^{m-n} - 1)$ ）通りの階調表示を行うことができる。

【0083】なお、本実施形態においては、m=4かつn=2の場合を例にとって説明したが、これらの場合に限定されるわけではないことは、言うまでもない。m=12かつn=4であってもよい。また、m=8かつn=2であってもよい。また、m=8かつn=6であってもよい。また、m=10かつn=2であってもよいし、その他の場合であってもよい。

【0084】また、電圧階調および時間階調を、それぞれ前、後、または相前後して行うようにしてもよい。

【0085】（実施形態2）

【0086】本実施形態においては、上記実施形態1における本発明の液晶表示装置の構成において、サブフレームごとにフレーム反転駆動を行った場合について説明する。

【0087】図10を参照する。図10には、本実施形態の液晶表示装置の駆動タイミングチャートが示されている。図10は、画素P1.1、画素P2.1、画素P3.1、および画素Py.1が例にとって示されている。

【0088】本実施形態においても、前述の様に、1フレーム期間（Tf）は、第1サブフレーム期間（1st Tsfl）、第2サブフレーム期間（2nd Tsfl）、第3サブフレーム期間（3rd Tsfl）、および第4サブフレーム期間（4th Tsfl）によって構成される。各サブフレーム期間の始まりには、イニシャライズ期間（Ti）があり、こ

のイニシャライズ期間 (Ti) には、全ての画素に、画素電極イニシャライズ電圧 (Vi) が印加される。また、イニシャライズ期間 (Ti) には、対向電極 (COM) には、対向電極イニシャライズ電圧 (V<sub>comi</sub>) が印加される。

【0089】 によって、本実施形態においても、イニシャライズ期間 (Ti) においては、画素電極と対向電極とに挟まれた液晶には (Vi + V<sub>comi</sub>) の電圧が印加されることになり、スプレイ配向していた液晶分子がベンド配向し、その後の画像情報を有するアナログ階調電圧の印加によっても高速応答が可能な状態になる。

【0090】 第1サブフレーム期間において、イニシャライズ期間 (Ti) 経過後、画素P1,1には、第1サブフレームライン期間 (1st Tsfl) にデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され、そのアナログ階調電圧が書き込まれる。なお、画素P1,1~画素P1,xには、同時に、それぞれの画素に対応したアナログ階調電圧が書き込まれる。なお、イニシャライズ期間 (Ti) 経過後は、対向電極にはV<sub>com</sub>が印加される。なおV<sub>com</sub>は、表示画面のチラツキ具合をみて調整できるようになっている。また、本実施形態においてもV<sub>com</sub>は0Vであってもよい。

【0091】 画素P1,1~画素P1,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれた後、次のサブフレームライン期間には、画素P2,1~画素P2,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。

【0092】 このようにして、全ての画素に画像情報を有するアナログ階調電圧が順に書き込まれる。よって第1サブフレーム期間が終了する。

【0093】 そして、第1サブフレーム期間の経過後、第2サブフレーム期間が始まる。第2サブフレーム期間 (2nd Tsf) においても、イニシャライズ期間 (Ti) には、対向電極 (COM) には、対向電極イニシャライズ電圧 (V<sub>comi</sub>) が供給される。なお、本実施形態においては、サブフレーム期間毎に液晶に印加される電界の向きが逆になるようにしている。第2サブフレーム期間においてもイニシャライズ期間 (Ti) 経過後、画素P1,1~画素P1,xには、第1サブフレームライン期間 (1st Tsfl) にデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。画素P1,1~画素P1,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれた後、次のサブフレームライン期間には、画素P2,1~画素P2,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。なお、イニシャライズ期間 (Ti) 経過後は、対向電極にはV<sub>com</sub>が印加される。

【0094】 このようにして、全ての画素に画像情報を

有するアナログ階調電圧が順に書き込まれる。よって第2サブフレーム期間が終了する。

【0095】 第3サブフレーム期間 (3rd Tsf) および第4サブフレーム期間 (4th Tsf) においても同様の動作が行われる。

【0096】 このようにして、第1サブフレーム期間から第4サブフレーム期間迄が終了する。

【0097】 第1のフレーム期間終了後、第2のフレーム期間が始まる (図示せず)。

【0098】 このように本実施形態においては、サブフレーム期間毎に液晶に印加される電界の向きが逆になるサブフレーム反転方式によって表示を行うので、よりちらつきの少ない表示が可能となる。

【0099】 (実施形態3)

【0100】 本実施形態においては、上記実施形態1における本発明の液晶表示装置の構成において、第1サブフレーム期間にだけイニシャライズ期間を設け、イニシャライズ電圧 (Vi) およびV<sub>com</sub> を印加し、かつフレーム反転駆動を行う場合について説明する。

【0101】 図11を参照する。図11には、本実施形態の液晶表示装置の駆動タイミングチャートが示されている。図11には、画素P1,1、画素P2,1、画素P3,1、および画素Py,1が例にとって示されている。

【0102】 本実施形態においても、前述の様に、1フレーム期間 (Tf) は、第1サブフレーム期間 (1st Tsf)、第2サブフレーム期間 (2nd Tsf)、第3サブフレーム期間 (3rd Tsf)、および第4サブフレーム期間 (4th Tsf) によって構成される。上述の実施形態1とことなるのは、第1サブフレーム期間の始まりにだけ、イニシャライズ期間 (Ti) があり、このイニシャライズ期間 (Ti) には、全ての画素に、画素電極イニシャライズ電圧 (Vi) が印加される点である。

【0103】 また、イニシャライズ期間 (Ti) には、対向電極 (COM) には、対向電極イニシャライズ電圧 (V<sub>comi</sub>) が印加されることは同様である。

【0104】 よって、本実施形態においても、イニシャライズ期間 (Ti) においては、画素電極と対向電極とに挟まれた液晶には (Vi + V<sub>comi</sub>) の電圧が印加されることになり、スプレイ配向していた液晶分子がベンド配向し、その後の画像情報を有するアナログ階調電圧の印加によっても高速応答が可能な状態になる。

【0105】 第1サブフレーム期間において、イニシャライズ期間 (Ti) 経過後、画素P1,1には、第1サブフレームライン期間 (1st Tsfl) にデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され、そのアナログ階調電圧が書き込まれる。なお、画素P1,1~画素P1,xには、同時に、それぞれの画素に対応したアナログ階調電圧が書き込まれる。なお、イニシャライズ期間 (Ti) 経過後は、対向電極にはV<sub>com</sub>が印加される。なおV<sub>com</sub>は、表示画面のチラツキ具合をみて

調整できるようになっている。また、本実施形態においても $V_{COM}$ は0Vであってもよい。

【0106】画素P1,1~画素P1,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれた後、次のサブフレームライン期間には、画素P2,1~画素P2,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。

【0107】このようにして、全ての画素に画像情報を有するアナログ階調電圧が順に書き込まれる。よって第1サブフレーム期間が終了する。

【0108】そして、第1サブフレーム期間の経過後、第2サブフレーム期間が始まる。第2サブフレーム期間(2nd Tsf)においては、イニシャライズ期間(Ti)を設けない。よって、第2サブフレーム期間の開始時に、イニシャライズ電圧(Viおよび $V_{COM}$ )が画素に印加されることはない。画素P1,1~画素P1,xには、第1サブフレームライン期間(1st Tsfl)にデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。画素P1,1~画素P1,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれた後、次のサブフレームライン期間には、画素P2,1~画素P2,xにデジタルビデオデータがD/A変換回路によってアナログ階調電圧に変換され書き込まれる。

【0109】このようにして、全ての画素に画像情報を有するアナログ階調電圧が順に書き込まれる。よって第2サブフレーム期間が終了する。

【0110】第3サブフレーム期間(3rd Tsf)および第4サブフレーム期間(4th Tsf)においても、第2サブフレーム期間(2nd Tsf)と同様の動作が行われる。

【0111】このようにして、第1サブフレーム期間から第4サブフレーム期間迄が終了する。

【0112】第1のフレーム期間終了後、第2のフレーム期間が始まる(図示せず)。

【0113】(実施形態4)

【0114】本実施形態においては、10ビットデジタルビデオデータが入力される液晶表示装置について説明する。図12を参照する。図12には、本実施例の液晶表示装置の概略構成図が示されている。液晶表示装置1001は、アクティブマトリクス基板1001-1および対向基板1001-2を有している。アクティブマトリクス基板1001-1には、ソースドライバ1001-1-1ならびに1001-1-2、ゲートドライバ1001-1-3、複数の画素TFEがマトリクス状に配置されたアクティブマトリクス回路1001-1-4、デジタルビデオデータ時間階調処理回路1001-1-5、および対向電極駆動回路1001-1-6を有している。また、対向基板1001-2は、対向電極1001-2-1を有している。なお、端子COMは、対向電

極に信号を供給する端子を示している。

【0115】本実施形態においては、図12に示すように、デジタルビデオデータ時間階調処理回路および対向電極駆動回路がアクティブマトリクス基板上に一体形成されており、液晶表示装置が形成されている。

【0116】デジタルビデオデータ時間階調処理回路1001-1-5は、外部から入力される10ビットデジタルビデオデータのうち8ビットのデジタルビデオデータを、8ビットの電圧階調のためのデジタルビデオデータに変換する。10ビットのデジタルビデオデータのうち2ビットの階調情報は、時間階調によって表現される。

【0117】デジタルビデオデータ時間階調処理回路1001-5によって変換された8ビットデジタルビデオデータは、ソースドライバ1001-1-1および1001-1-2に入力され、ソースドライバ内のD/A変換回路(図示せず)でアナログ階調電圧に変換され、各ソース信号線に供給される。

【0118】ここで、図13を参照する。図13には、本実施形態の液晶表示装置の回路構成がより詳しく示されている。ソースドライバ1001-1-1は、シフトレジスタ回路1001-1-1-1、ラッチ回路1(1001-1-1-2)、ラッチ回路2(1001-1-1-3)、D/A変換回路(1001-1-1-4)を有している。その他、バッファ回路やレベルシフタ回路(いずれも図示せず)を有している。また、説明の便宜上、D/A変換回路1001-1-1-1にはレベルシフタ回路が含まれている。

【0119】ソースドライバ1001-1-2は、ソースドライバ1001-1-1と同じ構成を有する。なお、ソースドライバ1001-1-1は、奇数番目のソース信号線に画像信号(階調電圧)を供給し、ソースドライバ1001-1-2は、偶数番目のソース信号線に画像信号を供給するようになっている。

【0120】なお、本実施例のアクティブマトリクス型液晶表示装置においては、回路レイアウトの都合上、アクティブマトリクス回路の上下を挟むように2つのソースドライバ1001-1-1および1001-1-2を設けたが、回路レイアウト上、可能であれば、ソースドライバを1つだけ設けるようにしても良い。

【0121】また、1001-1-3はゲートドライバであり、シフトレジスタ回路、バッファ回路、レベルシフタ回路等(いずれも図示せず)を有している。

【0122】アクティブマトリクス回路1001-1-4は、1920×1080(横×縦)の画素を有している。各画素の構成は、上記実施形態1で説明したものと同様である。

【0123】本実施形態の液晶表示装置は、8ビットデジタルビデオデータを扱うD/A変換回路1001-1-1-4を有している。また、外部から供給される10ビットデジタルビデオデータのうち2ビット分の情報を

時間階調を行うために用いる。なお、時間階調については、上述の実施形態1と同様に考えられる。

【0124】よって、本実施形態の液晶表示装置は、2 $\times$ 3=253通りの階調表示を行うことができる。

【0125】また、本実施形態の液晶表示装置の駆動方法については、上述の実施形態1～実施形態3のいずれの方法をも用いることができる。

【0126】(実施形態5)

【0127】本実施形態では、本発明の液晶表示装置の作製方法例について説明する。ここでは、アクティブマトリクス回路とその周辺に設けられる駆動回路のTFTを同時に作製する方法について説明する。

【0128】〔島状半導体層、ゲート絶縁膜形成の工程：図14(A)〕図14(A)において、基板7001には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

【0129】そして、基板7001のTFTが形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜7002をプラズマCVD法やスパッタ法で100～400nmの厚さに形成した。例えば下地膜7002として、窒化シリコン膜7002を25～100nm、ここでは50nmの厚さに、酸化シリコン膜7003を50～300nm、ここでは150nmの厚さとした2層構造で形成すると良い。下地膜7002は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【0130】次に下地膜7002の上に20～100nmの厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550℃で数時間加熱して脱水素処理を行い、含有水素量を5atom%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気さらされないようにすることで表面の汚染を防ぐことが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0131】非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせるSOI(SiliconOn Insulators)の公知技術を使

用して結晶質シリコン膜を形成しても良い。

【0132】こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層7004～7006を形成した。結晶質シリコン膜のnチャネル型TFTが作製される領域には、しきい値電圧を制御するため、あらかじめ $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度でボロン(B)を添加しておいても良い。

【0133】次に、島状半導体層7004～7006を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜7007を形成した。ゲート絶縁膜7007は、10～200nm、好ましくは50～150nmの厚さに形成すれば良い。例えば、プラズマCVD法で $\text{N}_2\text{O}$ と $\text{SiH}_4$ を原料とした窒化酸化シリコン膜を75nm形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、800～1000℃で熱酸化して115nmのゲート絶縁膜としても良い。(図14(A))

【0134】〔n<sup>+</sup>領域の形成：図14(B)〕島状半導体層7004、7006及び配線を形成する領域の全面と、島状半導体層7005の一部(チャネル形成領域となる領域を含む)にレジストマスク7008～7011を形成し、n型を付与する不純物元素を添加して低濃度不純物領域7012を形成した。この低濃度不純物領域7012は、後にCMOS回路のnチャネル型TFTに、ゲート絶縁膜を介してゲート電極と重なるLDD領域(本明細書中ではLov領域という。なお、ovとはoverlapの意味である。)を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれるn型を付与する不純物元素の濃度を(n<sup>+</sup>)で表すこととする。従って、本明細書中では低濃度不純物領域7012をn<sup>+</sup>領域と言い換えることができる。

【0135】ここではフォスフィン( $\text{PH}_3$ )を質量分離しないでプラズマ励起したイオンドーピング法でリンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜7007を通してその下の半導体層にリンを添加した。添加するリン濃度は、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。

【0136】その後、レジストマスク7008～7011を除去し、酸素雰囲気中で400～900℃、好ましくは550～800℃で1～12時間の熱処理を行ない、この工程で添加されたリンを活性化する工程を行った。

【0137】〔ゲート電極用および配線用導電膜の形成：図14(C)〕第1の導電膜7013を、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素またはいずれかを主成分とする導電性材料で、10～100nmの厚さに形成した。第1の導電膜7013としては、例えば窒化タンタル( $\text{TaN}$ )や窒化タングステン( $\text{WN}$ )を用いるこ

とが望ましい。さらに、第1の導電膜7013上に第2の導電膜7014をTa、Ti、Mo、Wから選ばれた元素またはいずれかを主成分とする導電性材料で、100～400nmの厚さに形成した。例えば、Taを200nmの厚さに形成すれば良い。また、図示しないが、第1の導電膜7013の下に導電膜7013、7014（特に導電膜7014）の酸化防止のためにシリコン膜を2～20nm程度の厚さで形成しておくことは有効である。

【0138】〔p-chゲート電極、配線電極の形成とp<sup>+</sup>領域の形成：図15（A）〕レジストマスク7015～7018を形成し、第1の導電膜と第2の導電膜（以下、積層膜として取り扱う）をエッチングして、pチャネル型TFTのゲート電極7019、ゲート配線7020、7021を形成した。なお、nチャネル型TFTとなる領域の上には全面を覆うように導電膜7022、7023を残した。

【0139】そして、レジストマスク7015～7018をそのまま残してマスクとし、pチャネル型TFTが形成される半導体層7004の一部に、p型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン（B<sub>2</sub>H<sub>6</sub>）を用いてイオンドーブ法（勿論、イオンインプランテーション法でも良い）で添加した。ここでは $5 \times 10^{20} \sim 3 \times 10^{21}$  atoms/cm<sup>3</sup>の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるp型を付与する不純物元素の濃度を（p<sup>+</sup>）で表すこととする。従って、本明細書中では不純物領域7024、7025をp<sup>+</sup>領域と言い換えることができる。

【0140】なお、この工程において、レジストマスク7015～7018を使用してゲート絶縁膜7007をエッチング除去して、島状半導体層7004の一部を露出させた後、p型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スルーブットも向上する。

【0141】〔n-chゲート電極の形成：図15（B）〕次に、レジストマスク7015～7018は除去した後、レジストマスク7026～7029を形成し、nチャネル型TFTのゲート電極7030、7031を形成した。このときゲート電極7030はn<sup>-</sup>領域7012とゲート絶縁膜を介して重なるように形成した。

【0142】〔n<sup>+</sup>領域の形成：図15（C）〕次に、レジストマスク7026～7029を除去し、レジストマスク7032～7034を形成した。そして、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク7034はnチャネル型TFTのゲート電極7031を覆う形で形成した。これは、後の工程に

においてアクティブマトリクス回路のnチャネル型TFTに、ゲート電極と重ならないようにLDD領域を形成するためである。

【0143】そして、n型を付与する不純物元素を添加して不純物領域7035～7039を形成した。ここでも、フォスフィン（PH<sub>3</sub>）を用いたイオンドーブ法（勿論、イオンインプランテーション法でも良い）を行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>とした。なお、ここで形成された不純物領域7037～7039に含まれるn型を付与する不純物元素の濃度を（n<sup>+</sup>）で表すこととする。従って、本明細書中では不純物領域7037～7039をn<sup>+</sup>領域と言い換えることができる。また、不純物領域7035、7036は既にn<sup>-</sup>領域が形成されていたので、厳密には不純物領域7037～7039よりも若干高い濃度でリンを含む。

【0144】なお、この工程において、レジストマスク7032～7034およびゲート電極7030をマスクとしてゲート絶縁膜7007をエッチングし、島状半導体膜7005、7006の一部を露出させた後、n型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スルーブットも向上する。

【0145】〔n<sup>-</sup>領域の形成：図16（A）〕次に、レジストマスク7032～7034を除去し、アクティブマトリクス回路のnチャネル型TFTとなる島状半導体層7006にn型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域7040～7043には前記n<sup>-</sup>領域と同程度かそれより少ない濃度（具体的には $5 \times 10^{16} \sim 1 \times 10^{18}$  atoms/cm<sup>3</sup>）のリンが添加されるようにした。なお、ここで形成された不純物領域7040～7043に含まれるn型を付与する不純物元素の濃度を（n<sup>-</sup>）で表すこととする。従って、本明細書中では不純物領域7040～7043をn<sup>-</sup>領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域7067を除いて全ての不純物領域にn<sup>-</sup>の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。

【0146】〔熱活性化の工程：図16（B）〕次に、後に第1の層間絶縁膜の一部となる保護絶縁膜7044を形成した。保護絶縁膜7044は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100～400nmとすれば良い。

【0147】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーンズアニール法、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）で行うことができる。ここではファーンズアニール法で活性化工程を行った。加熱処理は、窒素

雰囲気中において300～650℃、好ましくは400～550℃、ここでは450℃、2時間の熱処理を行った。

【0148】さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0149】〔層間絶縁膜、ソース／ドレイン電極、遮光膜、画素電極、保持容量の形成：図16（C）〕活性化工程を終えたら、保護絶縁膜7044の上に0.5～1.5μm厚の層間絶縁膜7045を形成した。前記保護絶縁膜7044と層間絶縁膜7045とでなる積層膜を第1の層間絶縁膜とした。

【0150】その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極7046～7048と、ドレイン電極7049、7050を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0151】次に、パッシベーション膜7051として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50～500nm（代表的には200～300nm）の厚さで形成した。その後、この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜7051に開口部を形成しておいても良い。

【0152】その後、有機樹脂からなる第2の層間絶縁膜7052を約1μmの厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO<sub>2</sub>化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0153】次に、アクティブマトリクス回路となる領域において、第2の層間絶縁膜7052上に遮光膜7053を形成した。遮光膜7053はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた

元素またはいずれかを主成分とする膜で100～300nmの厚さに形成した。そして、遮光膜7054の表面に陽極酸化法またはプラズマ酸化法により30～150nm（好ましくは50～75nm）の厚さの酸化膜7054を形成した。ここでは遮光膜7053としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、酸化膜7054として酸化アルミニウム膜（アルミナ膜）を用いた。

【0154】なお、ここでは遮光膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は30～150nm（好ましくは50～75nm）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC（Diamond like carbon）膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0155】次に、第2の層間絶縁膜7052にドレイン電極7050に達するコンタクトホールを形成し、画素電極7055を形成した。なお、画素電極7056、7057はそれぞれ隣接する別の画素の画素電極である。画素電極7055～7057は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成した。

【0156】また、この時、画素電極7055と遮光膜7053とが酸化膜7054を介して重なった領域7058が保持容量を形成した。

【0157】こうして同一基板上に、ドライバー回路となるCMOS回路とアクティブマトリクス回路とを有したアクティブマトリクス基板が完成した。なお、ドライバー回路となるCMOS回路にはnチャネル型TFT7081、pチャネル型TFT7082が形成され、アクティブマトリクス回路にはnチャネル型TFTでなる画素TFT7083が形成された。

【0158】CMOS回路のpチャネル型TFT7081には、チャネル形成領域7061およびソース領域7062、ドレイン領域7063がそれぞれp<sup>+</sup>領域で形成された。また、nチャネル型TFT7082には、チャネル形成領域7064、ソース領域7065、ドレイン領域7066、ゲート絶縁膜を介してゲート電極と重なったLDD領域（以下、Lov領域という。なお、ovとはoverlapの意である。）7067が形成された。この時、ソース領域7065、ドレイン領域7066はそれぞれ（n<sup>-</sup>+n<sup>+</sup>）領域で形成され、Lov領域7067はn<sup>-</sup>領域で形成された。

【0159】また、画素TFT7083には、チャネル形成領域7068、7069、ソース領域7070、ド



レイン領域7071、ゲート絶縁膜を介してゲート電極と重ならないLDD領域(以下、Loff領域という。なお、offとはoffsetの意である。)7072~7075、Loff領域7073、7074に接したn<sup>+</sup>領域7076が形成された。この時、ソース領域7070、ドレイン領域7071はそれぞれn<sup>+</sup>領域で形成され、Loff領域7072~7075はn<sup>+</sup>領域で形成された。

【0160】本実施形態の作製方法によると、アクティブマトリクス回路およびドライバ回路が要求する回路仕様に応じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができた。具体的には、nチャネル型TFTは回路仕様に応じてLDD領域の配置を異ならせ、Lov領域またはLoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したTFT構造と低オフ電流動作を重視したTFT構造とを実現した。

【0161】例えば、nチャネル型TFT7082は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフト回路、バッファ回路などのロジック回路に適している。また、nチャネル型TFT7083は低オフ電流動作を重視したアクティブマトリクス回路、サンプリング回路(サンプルホールド回路)に適している。

【0162】また、チャネル長3~7 $\mu$ mに対してLov領域の長さ(幅)は0.5~3.0 $\mu$ m、代表的には1.0~1.5 $\mu$ mとすれば良い。また、画素TFT7083に設けられるLoff領域7072~7075の長さ(幅)は0.5~3.5 $\mu$ m、代表的には2.0~2.5 $\mu$ mとすれば良い。

【0163】以上の工程を経てアクティブマトリクス基板が完成する。

【0164】次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、液晶表示装置を作製する工程を説明する。

【0165】図16(C)の状態のアクティブマトリクス基板に配向膜(図示せず)を形成する。本実施形態では、配向膜にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板、透明導電膜から成る対向電極、配向膜(いずれも図示せず)とで構成される。

【0166】なお、本実施形態では、配向膜にはポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施した。なお、本実施形態では、配向膜に比較的大きなブレイクル角を持つようなポリイミドを用いた。

【0167】次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ(いずれも図示せず)などを介して貼り合わせる。その後、両基板の間に液晶を注入し、封止剤(いずれも図示せず)によって完全に封止する。本

実施形態では、液晶にネマチック液晶を用いた。

【0168】よって、液晶表示装置が完成する。

【0169】なお、本実施形態で説明した非晶質シリコン膜の結晶化の方法の代わりに、レーザー光(代表的にはエキシマレーザー光)によって、非晶質シリコン膜の結晶化を行ってもよい。

【0170】また、多結晶シリコン膜を用いる代わりに、スマートカット、SIMOX、エルトラン等のSOI構造(SOI基板)を用いて他のプロセスを行ってもよい。

【0171】(実施形態6)

【0172】本実施形態では、本発明の液晶表示装置の別の作製方法について説明する。ここでは、アクティブマトリクス回路とその周辺に設けられる駆動回路のTFTを同時に作製する方法について説明する。

【0173】〔島状半導体層、ゲート絶縁膜形成の工程: 図17(A)〕図17(A)において、基板6001には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

【0174】そして、基板6001のTFTが形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜6002をプラズマCVD法やスパッタ法で100~400nmの厚さに形成した。例えば下地膜6002として、窒化シリコン膜6002を25~100nm、ここでは50nmの厚さに、酸化シリコン膜6003を50~300nm、ここでは150nmの厚さとした2層構造で形成すると良い。下地膜6002は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【0175】次に下地膜6002の上に20~100nmの厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは400~550℃で数時間加熱して脱水素処理を行い、含有水素量を5atom%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気中にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0176】非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜



を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせるSOI (Silicon on Insulators) の公知技術を使用して結晶質シリコン膜を形成しても良い。

【0177】こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層6004～6006を形成した。結晶質シリコン膜のnチャネル型TFETが作製される領域には、しきい値電圧を制御するため、あらかじめ $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度でボロン(B)を添加しておいても良い。

【0178】次に、島状半導体層6004～6006を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜6007を形成した。ゲート絶縁膜6007は、10～200 nm、好ましくは50～150 nmの厚さに形成すれば良い。例えば、プラズマCVD法で $\text{N}_2\text{O}$ と $\text{SiH}_4$ を原料とした窒化酸化シリコン膜を75 nm形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、800～1000℃で熱酸化して115 nmのゲート絶縁膜としても良い。(図17(A))

【0179】[n<sup>+</sup>領域の形成：図17(B)] 島状半導体層6004、6006及び配線を形成する領域の全面と、島状半導体層6005の一部(チャネル形成領域となる領域を含む)にレジストマスク6008～6011を形成し、n型を付与する不純物元素を添加して低濃度不純物領域6012、6013を形成した。この低濃度不純物領域6012、6013は、後にCMOS回路のnチャネル型TFETに、ゲート絶縁膜を介してゲート電極と重なるLDD領域(本明細書中ではLov領域という。なお、ovとはoverlapの意味である。)を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれるn型を付与する不純物元素の濃度を(n<sup>+</sup>)で表すこととする。従って、本明細書中では低濃度不純物領域6012、6013をn<sup>+</sup>領域と言い換えることができる。

【0180】ここではフォスフィン(PH<sub>3</sub>)を質量分離しないでプラズマ励起したイオンドーブ法でリンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜6007を通してその下の半導体層にリンを添加した。添加するリン濃度は、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。

【0181】その後、レジストマスク6008～6011を除去し、酸素雰囲気中で400～900℃、好ましくは550～800℃で1～12時間の熱処理を行ない、この工程で添加されたリンを活性化する工程を行なった。

【0182】[ゲート電極用および配線用導電膜の形成：図17(C)] 第1の導電膜6014を、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タン

グステン(W)から選ばれた元素またはいずれかを主成分とする導電性材料で、10～100 nmの厚さに形成した。第1の導電膜6014としては、例えば窒化タンタル(TaN)や窒化タングステン(WN)を用いることが望ましい。さらに、第1の導電膜6014上に第2の導電膜6015をTa、Ti、Mo、Wから選ばれた元素またはいずれかを主成分とする導電性材料で、100～400 nmの厚さに形成した。例えば、Taを200 nmの厚さに形成すれば良い。また、図示しないが、第1の導電膜6014の下に導電膜6014、6015(特に導電膜6015)の酸化防止のためにシリコン膜を2～20 nm程度の厚さで形成しておくことは有効である。

【0183】[p-chゲート電極、配線電極の形成とp<sup>+</sup>領域の形成：図18(A)] レジストマスク6016～6019を形成し、第1の導電膜と第2の導電膜(以下、積層膜として取り扱う)をエッチングして、pチャネル型TFETのゲート電極6020、ゲート配線6021、6022を形成した。なお、nチャネル型TFETとなる領域の上には全面を覆うように導電膜6023、6024を残した。

【0184】そして、レジストマスク6016～6019をそのまま残してマスクとし、pチャネル型TFETが形成される半導体層6004の一部に、p型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン(B<sub>2</sub>H<sub>6</sub>)を用いてイオンドーブ法(勿論、イオンインプランテーション法でも良い)で添加した。ここでは $5 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるp型を付与する不純物元素の濃度を(p<sup>+</sup>)で表すこととする。従って、本明細書中では不純物領域6025、6026をp<sup>+</sup>領域と言い換えることができる。

【0185】なお、この工程において、レジストマスク6016～6019を使用してゲート絶縁膜6007をエッチング除去して、島状半導体層6004の一部を露出させた後、p型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0186】[n-chゲート電極の形成：図18(B)] 次に、レジストマスク6016～6019は除去した後、レジストマスク6027～6030を形成し、nチャネル型TFETのゲート電極6031、6032を形成した。このときゲート電極6031はn<sup>+</sup>領域6012、6013とゲート絶縁膜を介して重なるように形成した。

【0187】[n<sup>+</sup>領域の形成：図18(C)] 次に、レジストマスク6027～6030を除去し、レジストマスク6033～6035を形成した。そして、nチャ

ネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク6035はnチャネル型TFTのゲート電極6032を覆う形で形成した。これは、後の工程においてアクティブマトリクス回路のnチャネル型TFTに、ゲート電極と重ならないようにLDD領域を形成するためである。

【0188】そして、n型を付与する不純物元素を添加して不純物領域6036～6040を形成した。ここでも、フォスフィン(PH<sub>3</sub>)を用いたイオンドーブ法(勿論、イオンインプランテーション法でも良い)を行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>とした。なお、ここで形成された不純物領域6038～6040に含まれるn型を付与する不純物元素の濃度を(n<sup>+</sup>)で表すこととする。従って、本明細書中では不純物領域6038～6040をn<sup>+</sup>領域と言い換えることができる。また、不純物領域6036、6037は既にn<sup>-</sup>領域が形成されていたので、厳密には不純物領域6038～6040よりも若干高い濃度でリンを含む。

【0189】なお、この工程において、レジストマスク6033～6035およびゲート電極6031をマスクとしてゲート絶縁膜6007をエッチングし、島状半導体膜6005、6006の一部を露出させた後、n型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

【0190】〔n<sup>-</sup>領域の形成：図19(A)〕次に、レジストマスク6033～6035を除去し、アクティブマトリクス回路のnチャネル型TFTとなる島状半導体層6006にn型を付与する不純物元素を添加する工程を行なった。こうして形成された不純物領域6041～6044には前記n<sup>-</sup>領域と同程度かそれより少ない濃度(具体的には $5 \times 10^{16} \sim 1 \times 10^{18}$  atoms/cm<sup>3</sup>)のリンが添加されるようにした。なお、ここで形成された不純物領域6041～6044に含まれるn型を付与する不純物元素の濃度を(n<sup>-</sup>)で表すこととする。従って、本明細書中では不純物領域6041～6044をn<sup>-</sup>領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域6068を除いて全ての不純物領域にn<sup>-</sup>の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。

【0191】〔熱活性化の工程：図19(B)〕次に、後に第1の層間絶縁膜の一部となる保護絶縁膜6045を形成した。保護絶縁膜6045は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100～400nmとすれば良い。

【0192】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱

処理工程を行った。この工程はファーンেসアニール法、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)で行うことができる。ここではファーンেসアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において300～650℃、好ましくは400～550℃、ここでは450℃、2時間の熱処理を行った。

【0193】さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0194】〔層間絶縁膜、ソース/ドレイン電極、遮光膜、画素電極、保持容量の形成：図19(C)〕活性化工程を終えたら、保護絶縁膜6045の上に0.5～1.5μm厚の層間絶縁膜6046を形成した。前記保護絶縁膜6045と層間絶縁膜6046とでなる積層膜を第1の層間絶縁膜とした。

【0195】その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極6047～6049と、ドレイン電極6050、6051を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0196】次に、パッシベーション膜6052として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50～500nm(代表的には200～300nm)の厚さで形成した。その後、この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜6052に開口部を形成しておいても良い。

【0197】その後、有機樹脂からなる第2の層間絶縁膜6053を約1μmの厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO<sub>2</sub>化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

【0198】次に、アクティブマトリクス回路となる領域において、第2の層間絶縁膜6053上に遮光膜6054を形成した。遮光膜6054はアルミニウム(A1)、チタン(Ti)、タンタル(Ta)から選ばれた元素またはいずれかを主成分とする膜で100~300 nmの厚さに形成した。そして、遮光膜6055の表面に陽極酸化法またはプラズマ酸化法により30~150 nm(好ましくは50~75 nm)の厚さの酸化膜6055を形成した。ここでは遮光膜6055としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、酸化膜6055として酸化アルミニウム膜(アルミナ膜)を用いた。

【0199】なお、ここでは遮光膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は30~150 nm(好ましくは50~75 nm)とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC(Diamond-like carbon)膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0200】次に、第2の層間絶縁膜6055にド레인電極6051に達するコンタクトホールを形成し、画素電極6056を形成した。なお、画素電極6057、6058はそれぞれ隣接する別の画素の画素電極である。画素電極6056~6058は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を100 nmの厚さにスパッタ法で形成した。

【0201】また、この時、画素電極6056と遮光膜6054とが酸化膜6055を介して重なった領域6059が保持容量を形成した。

【0202】こうして同一基板上に、ドライバ回路となるCMOS回路とアクティブマトリクス回路とを有したアクティブマトリクス基板が完成した。なお、ドライバ回路となるCMOS回路にはnチャネル型TFT6081、pチャネル型TFT6082が形成され、アクティブマトリクス回路にはnチャネル型TFTでなる画素TFT6083が形成された。

【0203】CMOS回路のpチャネル型TFT6081には、チャネル形成領域6062、ソース領域6063、ド레인領域6064がそれぞれp'領域で形成された。また、nチャネル型TFT6082には、チャネル形成領域6065、ソース領域6066、ド레인領域6067、ゲート絶縁膜を介してゲート電極と重なったLDD領域(以下、Lov領域という。なお、ovとはoverlapの意である。)6068が形成された。この時、ソース領域6066、ド레인領域6067はそれぞれ

(n'+n')領域で形成され、Lov領域6068はn'領域で形成された。

【0204】また、画素TFT6084には、チャネル形成領域6069、6070、ソース領域6071、ド레인領域6072、ゲート絶縁膜を介してゲート電極と重ならないLDD領域(以下、Loff領域という。なお、offとはoffsetの意である。)6073~6076、Loff領域6074、6075に接したn'領域6077が形成された。この時、ソース領域6071、ド레인領域6072はそれぞれn'領域で形成され、Loff領域6073~6076はn''領域で形成された。

【0205】本実施形態の作製方法によると、アクティブマトリクス回路およびドライバ回路が要求する回路仕様に応じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができる。具体的には、nチャネル型TFTは回路仕様に応じてLDD領域の配置を異ならせ、Lov領域またはLoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したTFT構造と低オフ電流動作を重視したTFT構造とを実現する。

【0206】例えば、アクティブマトリクス型液晶表示装置の場合、nチャネル型TFT6082は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフト回路、バッファ回路などのロジック回路に適している。また、nチャネル型TFT6083は低オフ電流動作を重視したアクティブマトリクス回路、サンプリング回路(サンプルホールド回路)に適している。

【0207】また、チャネル長3~7  $\mu\text{m}$ に対してLov領域の長さ(幅)は0.5~3.0  $\mu\text{m}$ 、代表的には1.0~1.5  $\mu\text{m}$ とすれば良い。また、画素TFT6083に設けられるLoff領域6073~6076の長さ(幅)は0.5~3.5  $\mu\text{m}$ 、代表的には2.0~2.5  $\mu\text{m}$ とすれば良い。

【0208】以上の工程によって作製されたアクティブマトリクス基板をもとに、液晶表示装置を作製する。作製工程例については、実施形態5を参照されたい。

【0209】(実施形態7)

【0210】図20は、本発明の液晶表示装置のアクティブマトリクス基板の別の構成の例である。8001はpチャネル型TFT、8002はnチャネル型TFT、8003はnチャネル型TFT、8004はnチャネル型TFTである。8001、8002、および8003はドライバの回路部を構成し、8004はアクティブマトリクス回路部を構成している。

【0211】8005~8013は、アクティブマトリクス回路を構成する画素TFTの半導体層である。8005、8009および8013はn'領域、8006、8008、8010および8012はn''領域、800

7および8011はチャネル形成領域である。8014は絶縁膜のキャップ層であり、チャネル形成領域にオフセット部を形成するために設けられる。

【0212】なお、本実施形態については、本出願人の特許出願である、特願平11-67809号を参照することができる。

【0213】(実施形態8)

【0214】上述の本発明の液晶表示装置は、図21に示すような3板式のプロジェクタに用いることができる。

【0215】図21において、2401は白色光源、2402~2405はダイクロイックミラー、2406ならびに2407は全反射ミラー、2408~2410は本発明の液晶表示装置、および2411は投影レンズである。

【0216】(実施形態9)

【0217】また、上述の本発明の液晶表示装置は、図22に示すような3板式のプロジェクタに用いることもできる。

【0218】図23において、2501は白色光源、2502ならびに2503はダイクロイックミラー、2504~2506は全反射ミラー、2507~2509は本発明の液晶表示装置、および2510はダイクロイックプリズム、および2511は投影レンズである。

【0219】(実施形態10)

【0220】また、上述の本発明の液晶表示装置は、図23に示すような単板式のプロジェクタに用いることもできる。

【0221】図23において、2601はランプとリフレクターとから成る白色光源である。2602、2603、および2604は、ダイクロイックミラーであり、それぞれ青、赤、緑の波長領域の光を選択的に反射する。2605はマイクロレンズアレイであり、複数のマイクロレンズによって構成されている。2606は本発明の液晶表示装置である。2607はフィールドレンズ、2608は投影レンズ、2609はスクリーンである。

【0222】(実施形態11)

【0223】上記実施形態8~10のプロジェクタは、その投影方法によってリアプロジェクタとフロントプロジェクタとがある。

【0224】図24(A)はフロント型プロジェクタであり、本体10001、本発明の液晶表示装置10002、光源10003、光学系10004、スクリーン10005で構成されている。なお、図24(A)には、液晶表示装置を1つ組み込んだフロントプロジェクタが示されているが、液晶表示装置を3個(R、G、Bの光にそれぞれ対応させる)組み込んだことによって、より高解像度・高精細のフロント型プロジェクタを実現することができる。

【0225】図24(B)はリア型プロジェクタであり、10006は本体、10007は液晶表示装置であり、10008は光源であり、10009はリフレクター、10010はスクリーンである。なお、図24(B)には、アクティブマトリクス型半導体表示装置を3個(R、G、Bの光にそれぞれ対応させる)組み込んだリア型プロジェクタが示されている。

【0226】(実施形態12)

【0227】本実施形態では、本発明の液晶表示装置を、ゴーグル型ディスプレイに用いた例を示す。

【0228】図25を参照する。2801はゴーグル型ディスプレイ本体である。2802-Rならびに2802-Lは本発明の液晶表示装置であり、2803-Rならびに2803-LはLEDバックライトであり、2804-Rならびに2804-Lは光学素子である。

【0229】(実施形態13)

【0230】本実施形態においては、本発明の液晶表示装置のバックライトにLEDを用いて、フィールドシーケンシャル駆動を行うものである。

【0231】図26に示すフィールドシーケンシャル駆動方法のタイミングチャートには、画像信号書き込みの開始信号(Vsync信号)、赤(R)、緑(G)ならびに青(B)のLEDの点灯タイミング信号(R、GならびにB)、およびビデオ信号(VIDEO)が示されている。Tfはフレーム期間である。また、TR、TG、TBは、それぞれ赤(R)、緑(G)、青(B)のLED点灯期間である。

【0232】液晶表示装置に供給される画像信号、例えばR1は、外部から入力される赤に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。また、液晶パネルに供給される画像信号、例えばG1は、外部から入力される緑に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。また、液晶パネルに供給される画像信号、例えばB1は、外部から入力される青に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。

【0233】フィールドシーケンシャル駆動方法においては、LED点灯期間TR期間、TG期間およびTB期間に、それぞれR、G、BのLEDが順に点灯する。赤のLEDの点灯期間(TR)には、赤に対応したビデオ信号(R1)が液晶パネルに供給され、液晶パネルに赤の画像1画面分が書き込まれる。また、緑のLEDの点灯期間(TG)には、緑に対応したビデオデータ(G1)が液晶パネルに供給され、液晶パネルに緑の画像1画面分が書き込まれる。また、青のLEDの点灯期間(TB)には、青に対応したビデオデータ(B1)が液晶表示装置に供給され、液晶表示装置に青の画像1画面分が書き込まれる。これらの3回の画像の書き込みにより、1フレームが形成される。

【0234】(実施形態14)

【0235】本実施形態においては、本発明の液晶表示装置をノートブック型パーソナルコンピュータに用いた例を図27に示す。

【0236】3001はノートブック型パーソナルコンピュータ本体であり、3002は本発明の液晶表示装置である。また、バックライトにはLEDが用いられている。なお、バックライトに従来のように陰極管を用いても良い。

【0237】(実施形態15)

【0238】本発明の液晶表示装置には他に様々な用途がある。本実施形態では、本発明の液晶表示装置を組み込んだ半導体装置について説明する。

【0239】このような半導体装置には、ビデオカメラ、スチルカメラ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話など)などが挙げられる。それらの一例を図28に示す。

【0240】図28(A)は携帯電話であり、本体11001、音声出力部11002、音声入力部11003、本発明の液晶表示装置11004、操作スイッチ11005、アンテナ11006で構成される。

【0241】図28(B)はビデオカメラであり、本体12001、本発明の液晶表示装置12002、音声入力部12003、操作スイッチ12004、バッテリー12005、受像部12006で構成される。

【0242】図28(C)はモバイルコンピュータであり、本体13001、カメラ部13002、受像部13003、操作スイッチ13004、本発明の液晶表示装置13017で構成される。

【0243】図28(D)は携帯書籍(電子書籍)であり、本体14001、本発明の液晶表示装置14002、14003、記憶媒体14004、操作スイッチ14005、アンテナ14006で構成される。

【0244】図29(A)はパーソナルコンピュータであり、本体15001、画像入力部15002、表示部15003、キーボード15004等を含む。本発明を画像入力部15002、表示部15003やその他の信号制御回路に適用することができる。

【0245】図29(B)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体16001、表示部16002、スピーカ部16003、記録媒体16004、操作スイッチ16005等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部16002やその他の信号制御回路に適用することができる。

【0246】図29(C)はデジタルカメラであり、本体17001、表示部17002、接眼部17003、

操作スイッチ17004、受像部(図示しない)等を含む。本発明を表示部17002やその他の信号制御回路に適用することができる。

【0247】図29(D)はディスプレイであり、本体18001、支持台18002、表示部18003等を含む。本発明は表示部18003に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【発明の効果】

【0248】本発明の液晶表示装置によると、大画面化、高精細化、高解像度化および多階調化を実現できる小型のアクティブマトリクス型液晶表示装置が実現される。

【0249】

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の概略構成図である。

【図2】 本発明の液晶パネルの概略構成図である。

【図3】 本発明の液晶パネルの概略構成図である。

【図4】 本発明の液晶表示装置の概略構成図である。

【図5】 本発明の液晶表示装置のある実施形態のアクティブマトリクス回路、ソースドライバおよびゲートドライバの回路構成図である。

【図6】 本発明の液晶表示装置のある実施形態の階調表示レベルを示す図である。

【図7】 本発明の液晶表示装置のある実施形態の駆動タイミングチャートを示す図である。

【図8】 本発明の液晶表示装置のある実施形態の駆動タイミングチャートを示す図である。

【図9】 本発明の液晶表示装置のある実施形態の駆動タイミングチャートを示す図である。

【図10】 本発明の液晶表示装置のある実施形態の駆動タイミングチャートを示す図である。

【図11】 本発明の液晶表示装置のある実施形態の駆動タイミングチャートを示す図である。

【図12】 本発明の液晶表示装置のある実施形態の概略構成図である。

【図13】 本発明の液晶表示装置のある実施形態のアクティブマトリクス回路、ソースドライバおよびゲートドライバの回路構成図である。

【図14】 本発明の液晶表示装置の作製工程例を示す図である。

【図15】 本発明の液晶表示装置の作製工程例を示す図である。

【図16】 本発明の液晶表示装置の作製工程例を示す図である。

【図17】 本発明の液晶表示装置の作製工程例を示す図である。

【図18】 本発明の液晶表示装置の作製工程例を示す図である。

【図19】 本発明の液晶表示装置の作製工程例を示す図である。

【図20】 本発明の液晶表示装置の断面図である。

【図21】 本発明の液晶表示装置を用いた3板式プロジェクタの概略構成図である。

【図22】 本発明の液晶表示装置を用いた3板式プロジェクタの概略構成図である。

【図23】 本発明の液晶表示装置を用いた単板式プロジェクタの概略構成図である。

【図24】 本発明の液晶表示装置を用いたフロントプロジェクタおよびリアプロジェクタの概略構成図である。

【図25】 本発明の液晶表示装置を用いたゴーグル型ディスプレイの概略構成図である。

【図26】 フィールドシーケンシャル駆動のタイミングチャートである。

【図27】 本発明の液晶表示装置を用いたノートブック型パーソナルコンピュータの概略構成図である。

【図28】 本発明の液晶表示装置を用いた電子機器の例である。

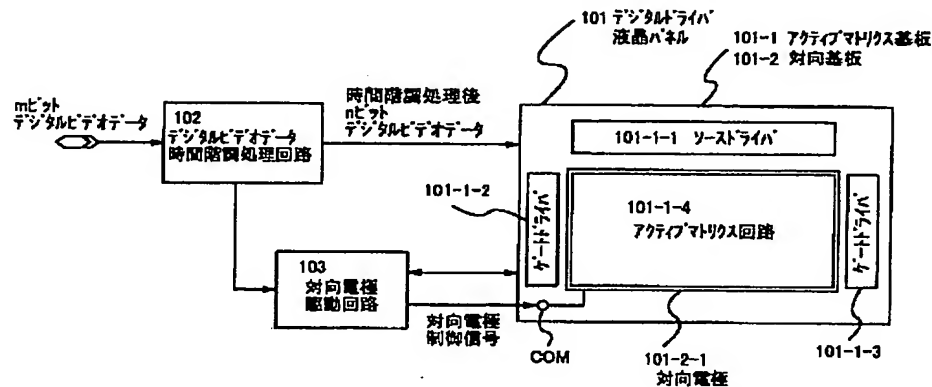
【図29】 本発明の液晶表示装置を用いた電子機器の例である。

【図30】 本発明の液晶表示装置の概略構成図である。

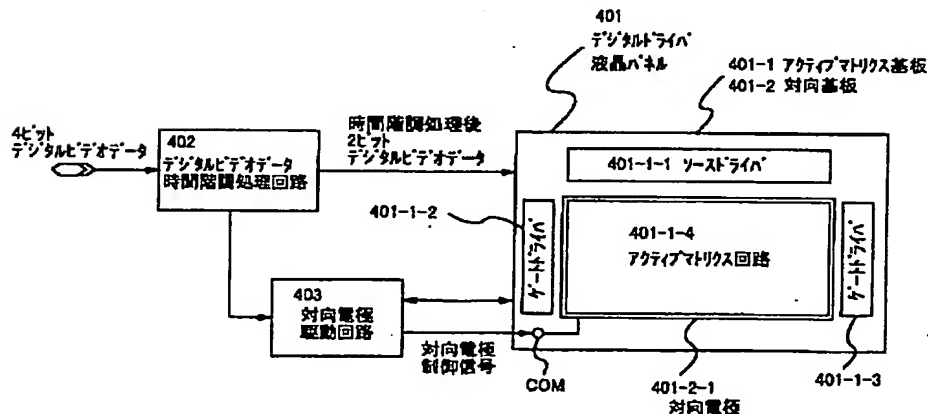
#### 【符号の説明】

101	液晶パネル
101-1	アクティブマトリクス基板
101-1-1	ソースドライバ
101-1-2	ゲートドライバ
101-1-3	ゲートドライバ
101-1-4	アクティブマトリクス回路
101-2	対向基板
101-2-1	対向電極
102	デジタルビデオデータ時間階調処理回路
103	対向電極制御回路

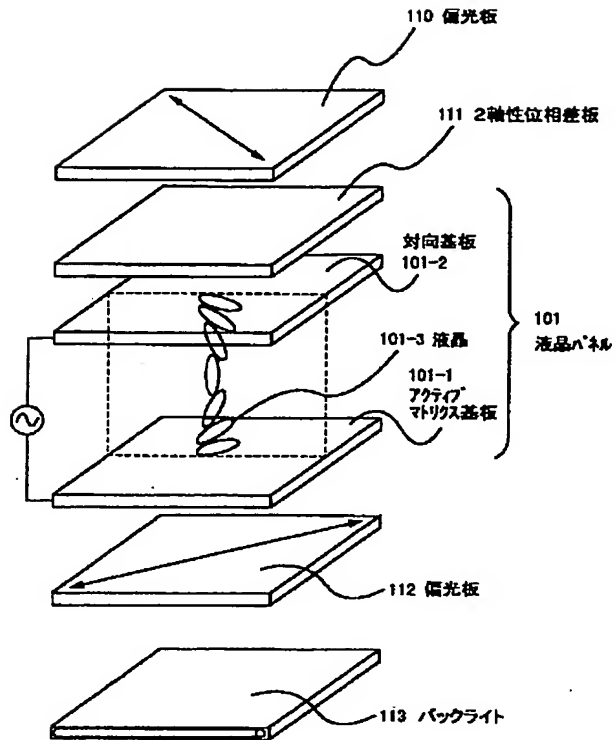
【図1】



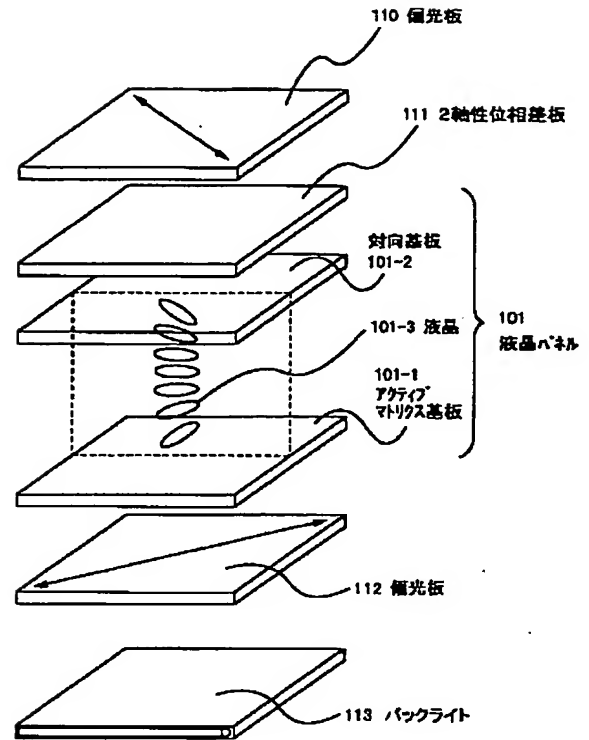
【図4】



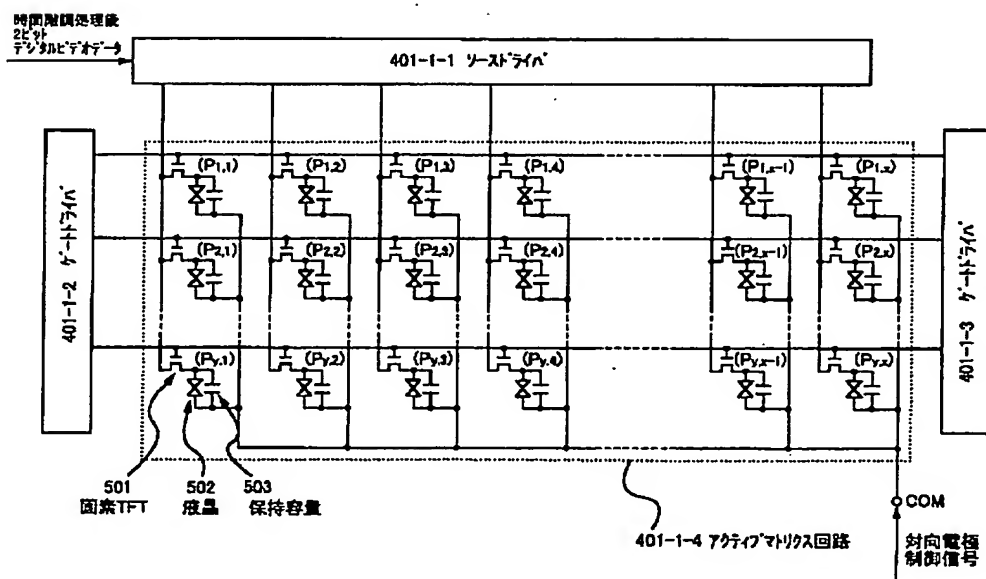
【図2】



【図3】

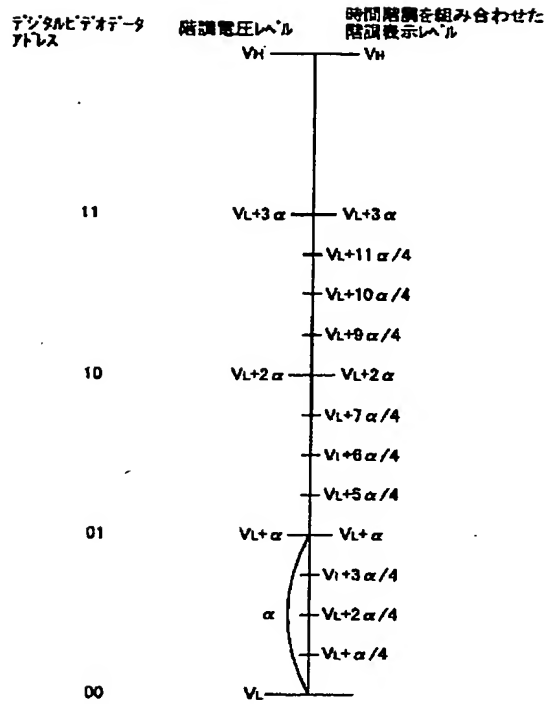


【図5】

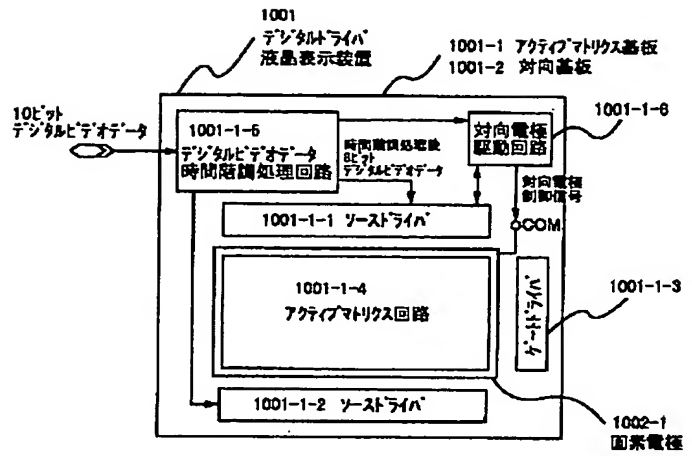




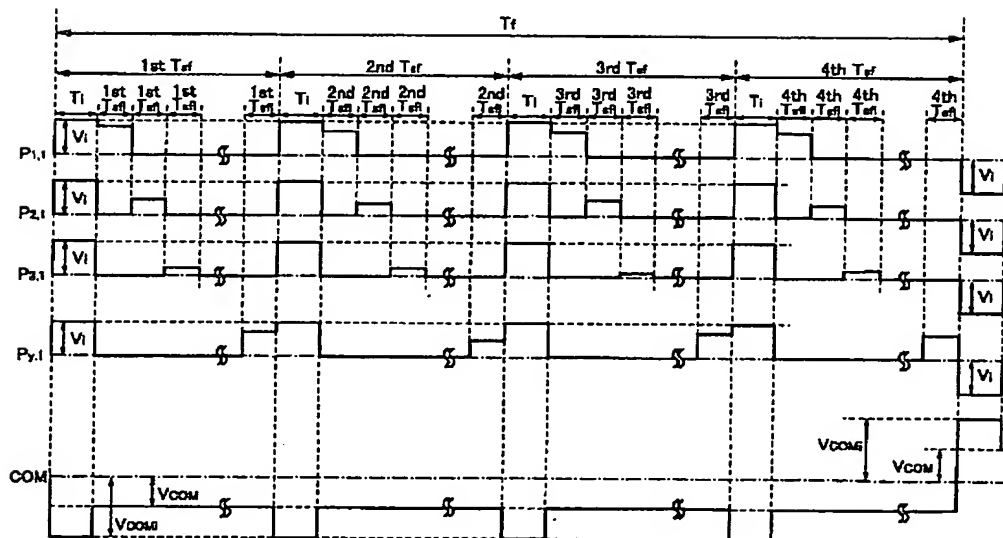
【図 6】



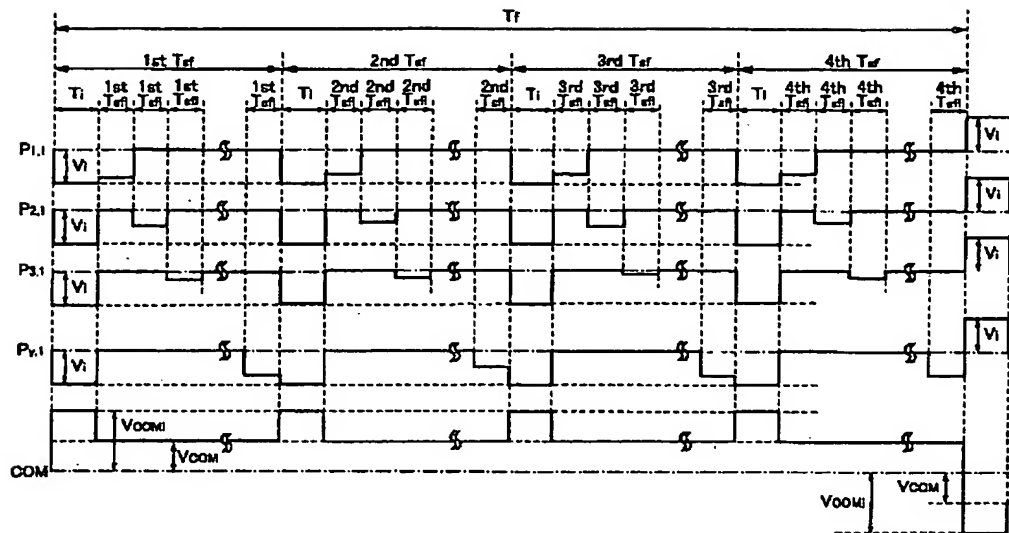
【图 1-2】



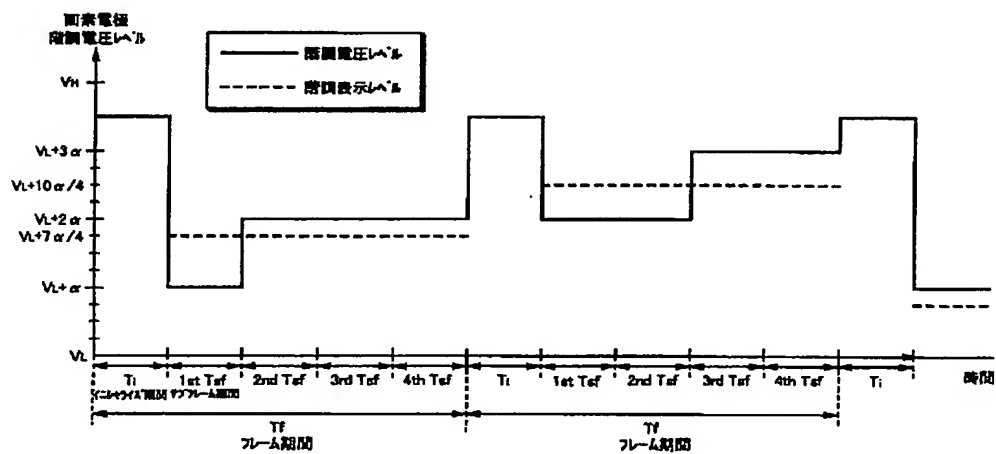
【図7】



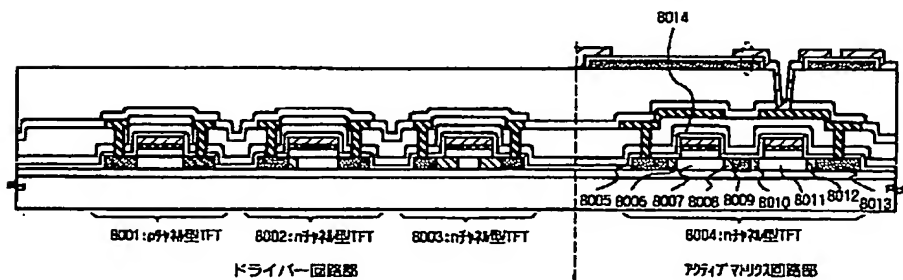
【図8】



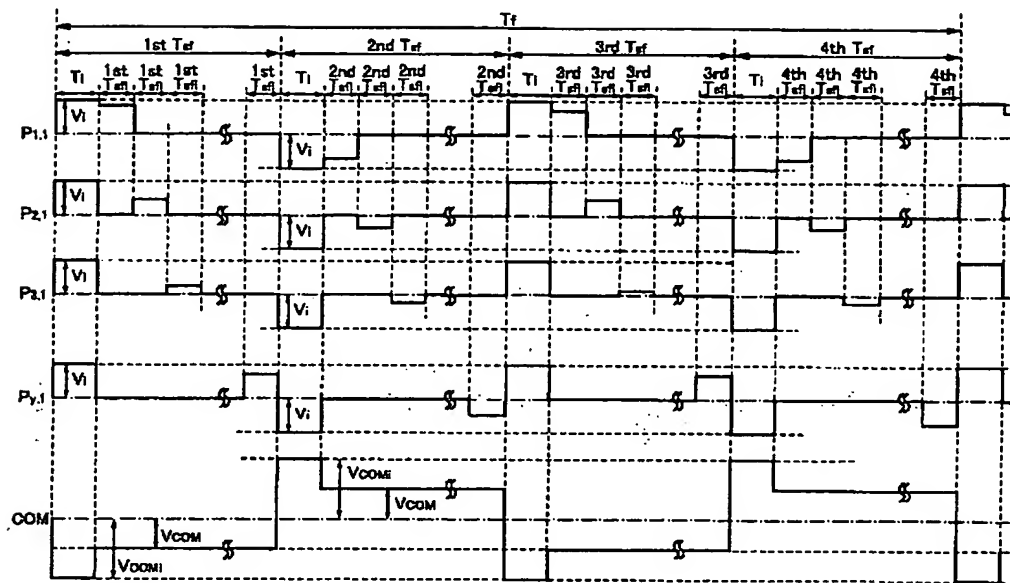
【図9】



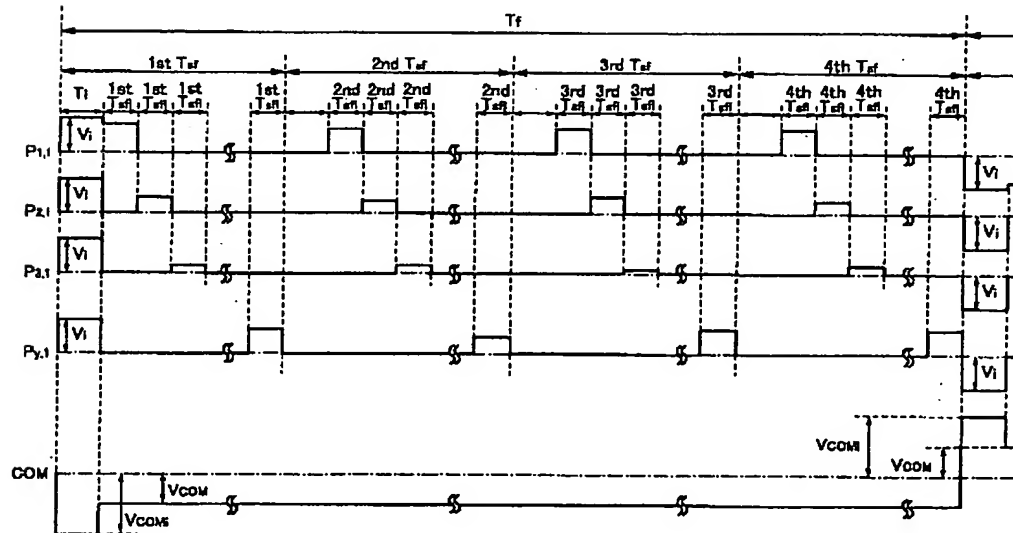
【図20】



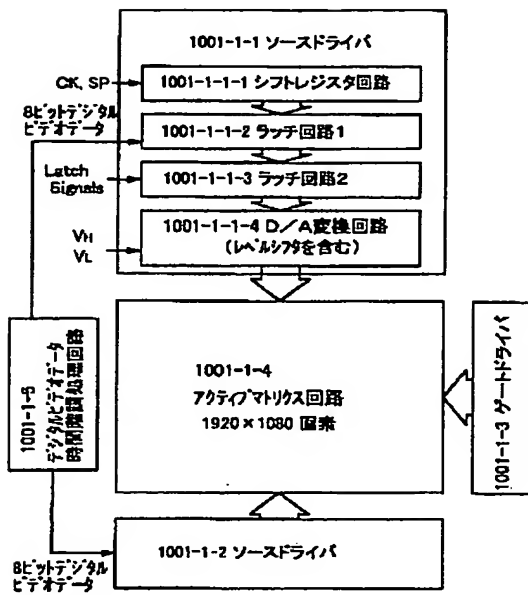
【図10】



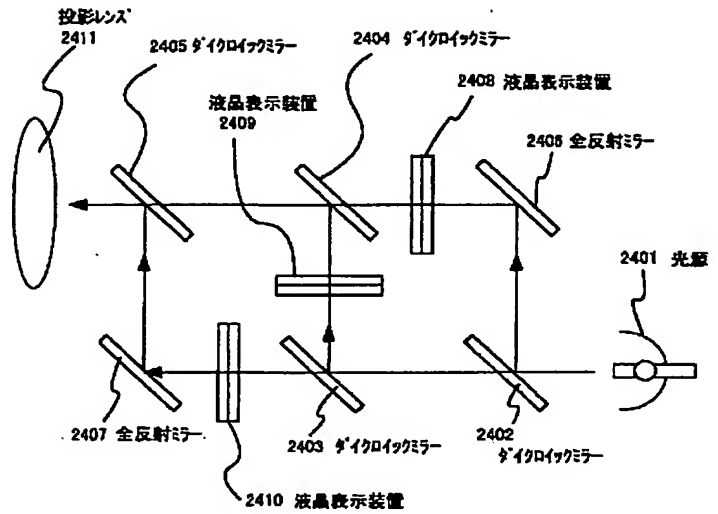
【図11】



【図13】



【図21】



【図14】

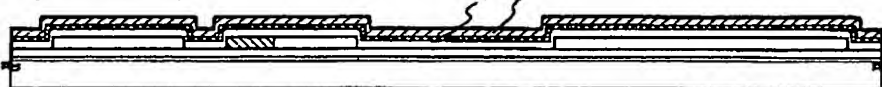
(A) 島状半導体膜、ゲート絶縁膜の形成



(B) n+領域の形成

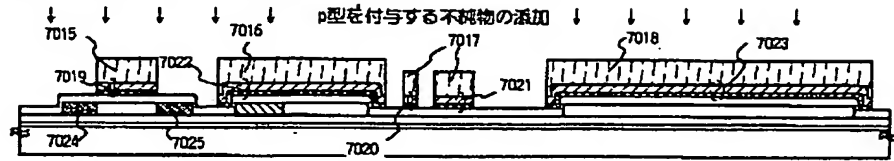


(C) ゲート電極用導電膜の形成

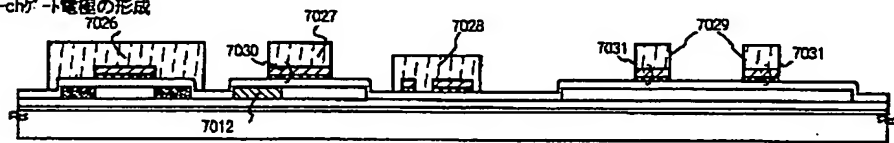


【図15】

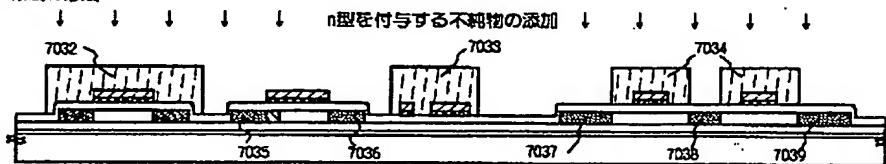
(A) p-チャネル電極の形成、p++領域の形成



(B) n-チャネル電極の形成

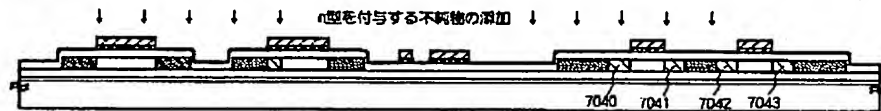


(C) n++領域の形成

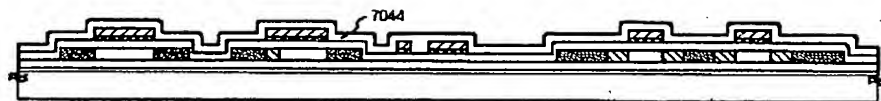


【図16】

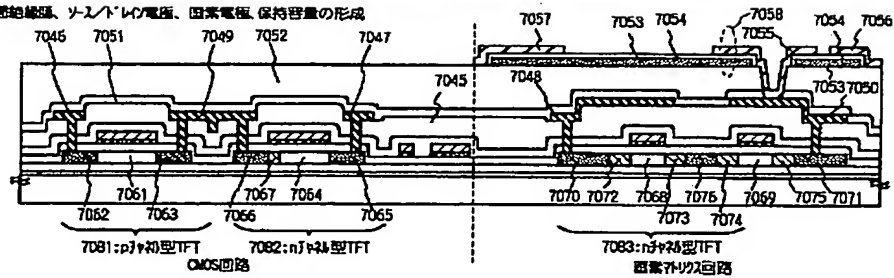
(A) n++領域の形成



(B) 熱活性化

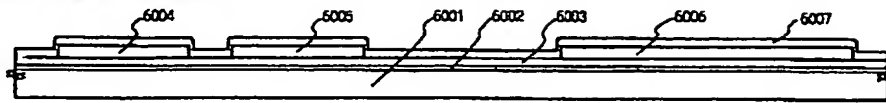


(C) 層間絶縁膜、ソース/ドレイン電極、図素電極、保持容量の形成



【図17】

(A) 島状半導体膜、ゲート絶縁膜の形成



(B) n+領域の形成

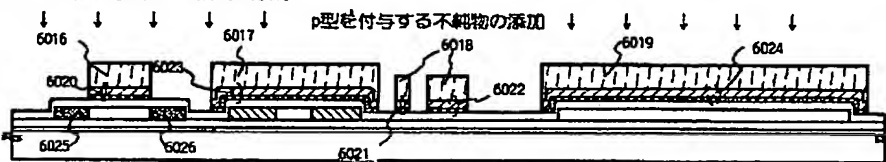


(C) ゲート電極用導電膜の形成

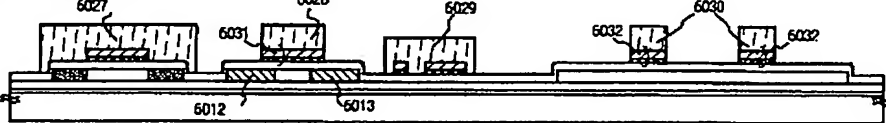


【図18】

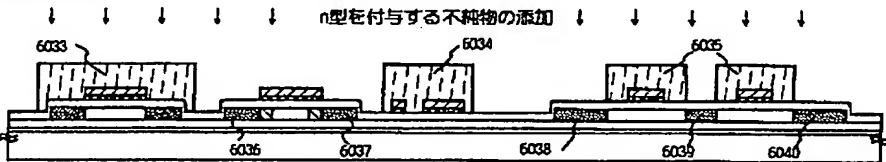
(A) p-chゲート電極の形成、p++領域の形成



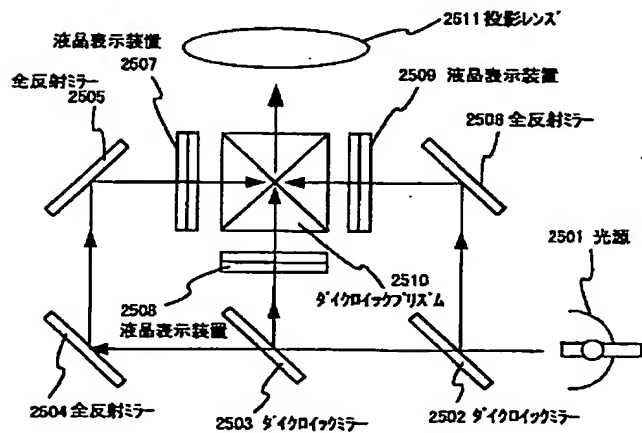
(B) n-chゲート電極の形成



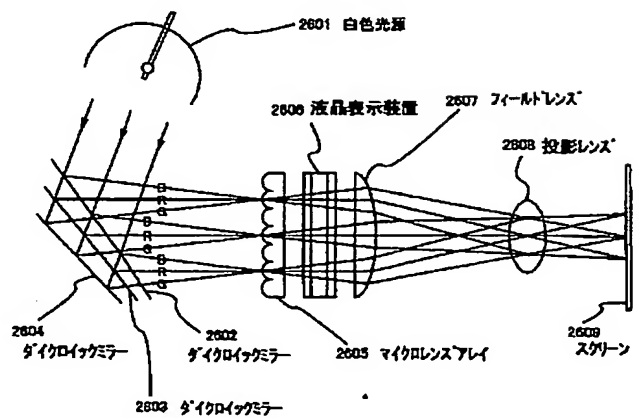
(C) n+領域の形成



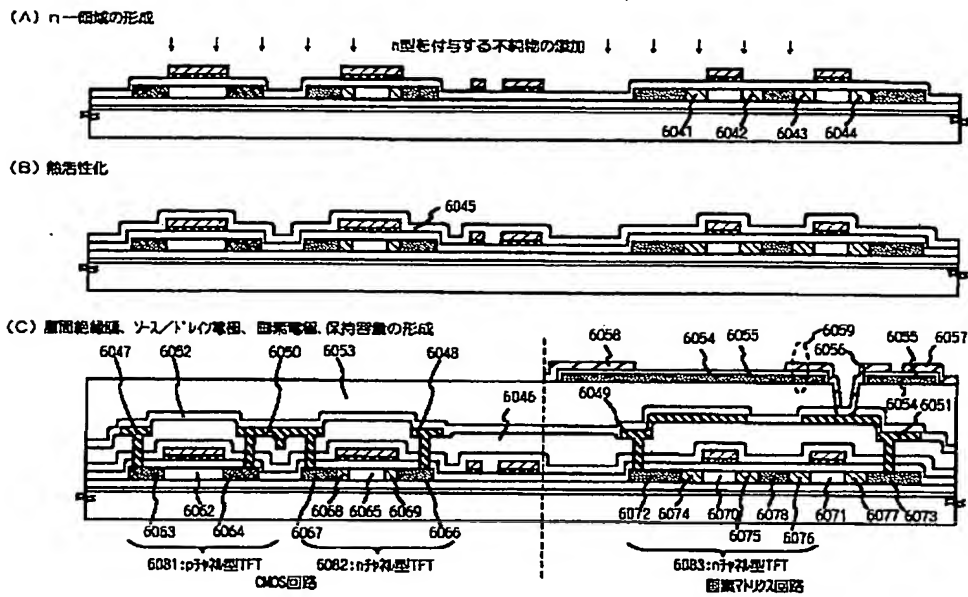
【図22】



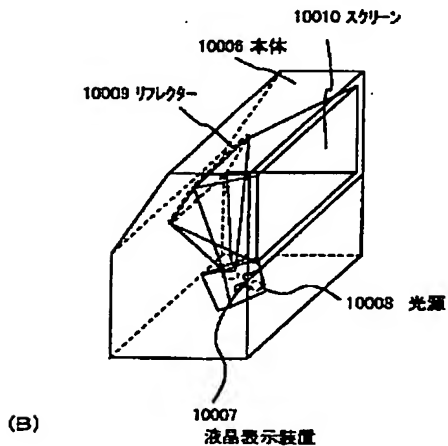
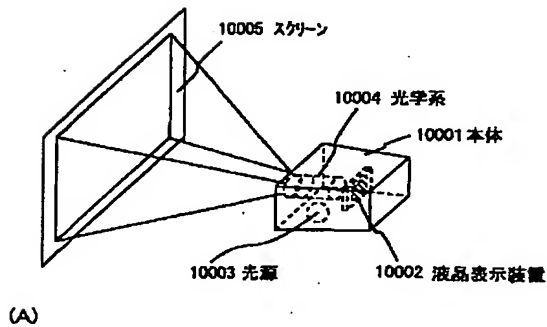
【図23】



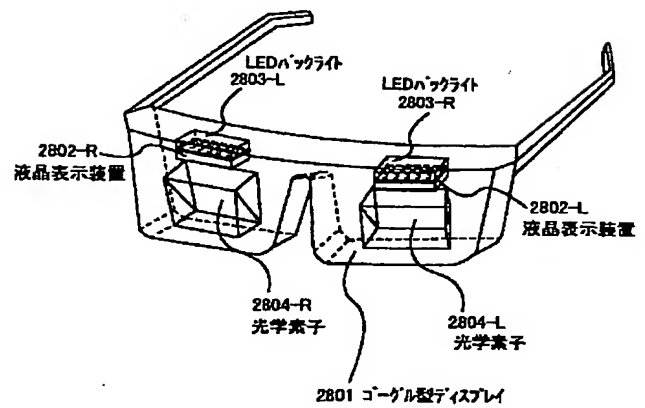
【図19】



【図24】

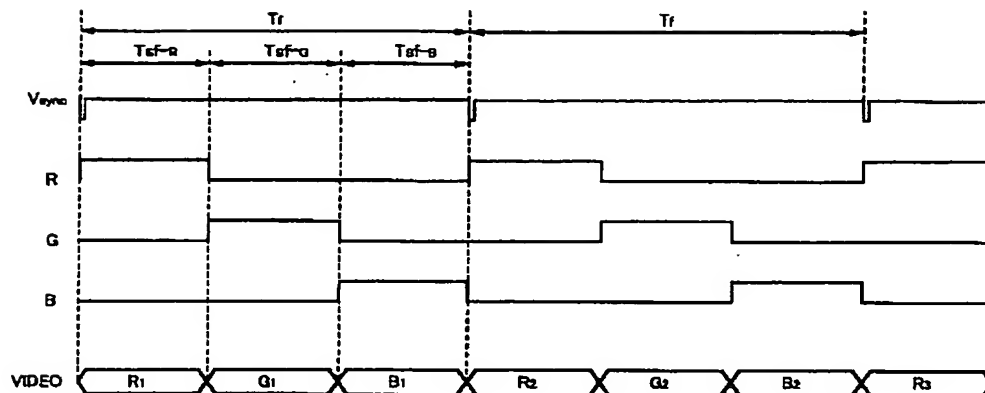


【図25】





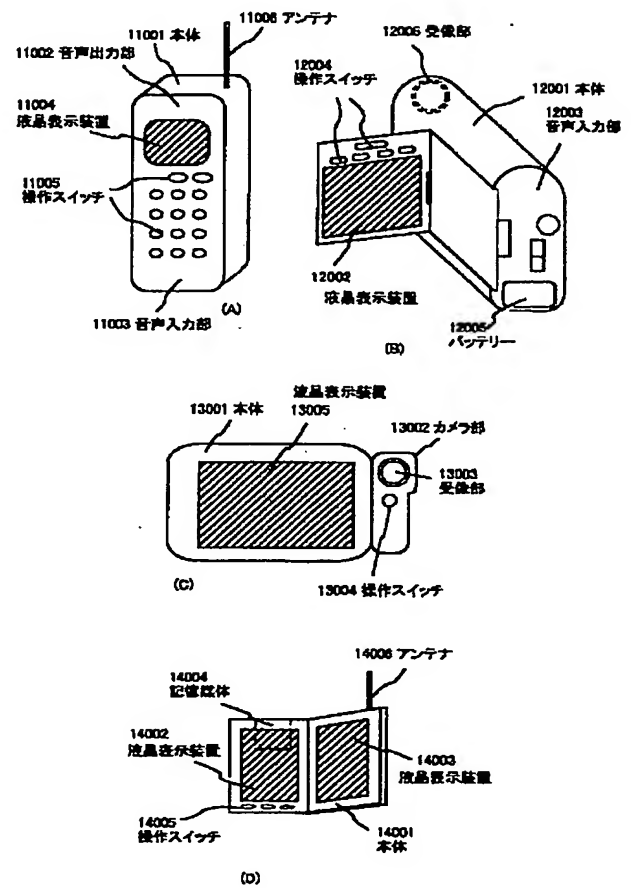
【図26】



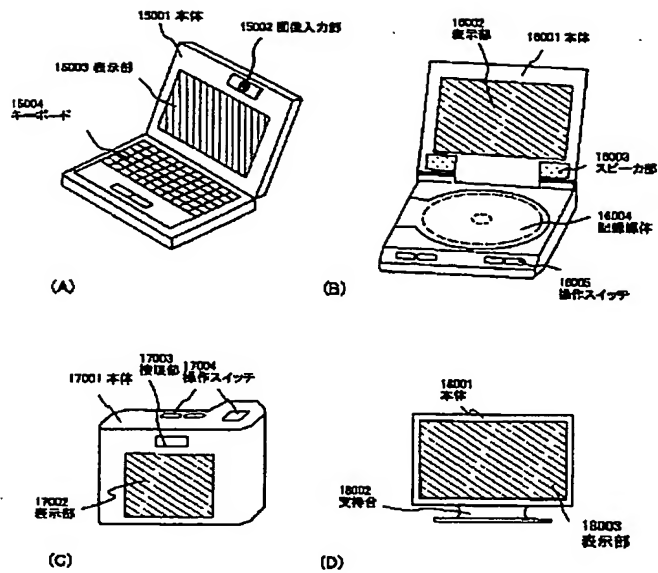
【図27】



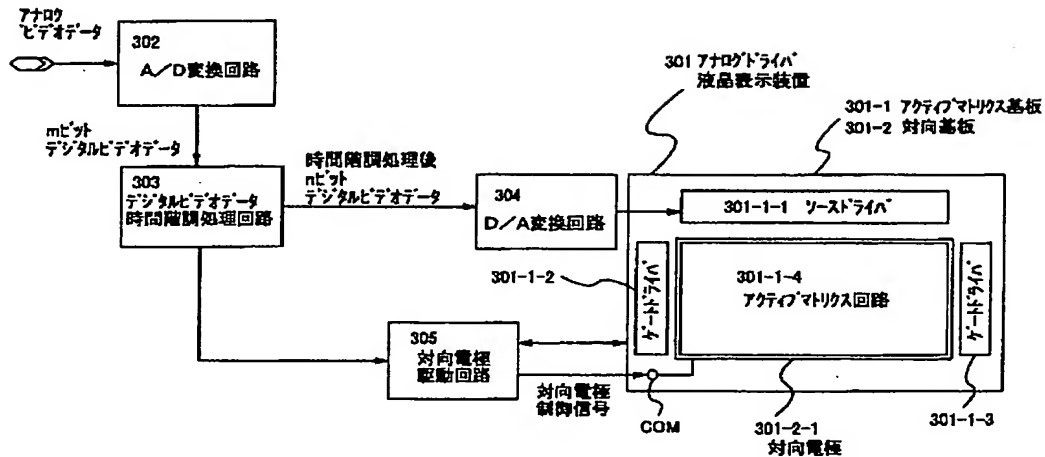
【図28】



【図29】



【図30】



フロントページの続き

Fターム(参考) 2H088 EA10 EA13 EA14 EA15 EA22  
HA03 HA06 HA08 HA28 JA09  
JA28 MA03  
2H093 NA16 NA53 NA56 ND06 ND20  
NE04 NE06 NF09 NG02 NG20  
5C006 AA01 AA22 AC02 AC28 AF83  
BA19 BB16 BC03 BC06 BC12  
BC20 BF34 BF49 EB05 FA56  
GA04  
5C080 AA10 BB05 CC03 DD07 DD30  
EE29 FF12 GG08 JJ02 JJ04  
JJ06 KK43